

Titan2系列FPGA器件数据手册

(DS05001, V1.0)

(2021.6.30)

深圳市紫光同创电子有限公司

版权所有 侵权必究

修订记录

日期	修订版本	描述
2020.8.31	V0.1	初始Alpha版本发布。
2021.1.20	V0.2	<ol style="list-style-type: none"> 1.删除表1-1等效LUT4资源说明，增加逻辑单元资源说明； 2.表1-3增加《Titan2单板硬件设计指南》； 3.表2-1，表2-2增加V_{CCA_IO_G0}电压说明； 4.表2-3,增加“n”“r”的典型值； 5.增加表2-5 HP I/O VIN允许的最大过冲和下冲电压； 6.表2-6典型静态电流增加V_{CCA_IO_G0}的静态电流说明； 7.表2-9 ESD、Latch-Up指标中CDM_SERDES的值改为±250V； 8.更新3.2章节I/O直流特性参数； 9.修改表4-6 DQS交流特性数据； 10.表4-11，T_{PL}和T_{POR}数值； 11.修改表5-1HR I/O LVDS性能。
2021.2.3	V0.3	3.1章节增加热插拔说明
2021.3.5	V0.4	勘误，修改表1-1，逻辑单元数量为389760
2021.4.15	V0.5	<ol style="list-style-type: none"> 1. 更新表2-1，表2-2 V_{CCA_IO_G0}数据； 2. 表2-3 I_{PU}, I_{PD}数据更新； 3. 3.1章节增加V_{CC}和V_{CCA}上电要求； 4. 更新3.1章节热插拔说明； 5. 表4-12 增加slave serial DI建立时间和DI保持时间CFG_CLK下降沿数据，以及CFG_CLK到CSO_DOUT的最小值； 6. 修改表5-2 HP I/O LVDS性能； 7. 修改表5-6 APM性能； 8. 更新表7-8数据； 9. 更新表7-9 HSST_T_{RXIDLETIME}和HSST_RX_{VPP00B}的数据。
2021.5.11	V0.6	<ol style="list-style-type: none"> 1. 增加缩略语说明； 2. 更新文档中描述不准确的说明； 3. 各表格增加注释说明； 4. 更新表2-3 I_{PU}, I_{PD}数据； 5. 表2-6更新100度时的最大静态电流值； 6. 更新表2-9 ESD的参数，补充 V_{CCIO_CFG}和专用配置输入IO的HBM_IO值； 7. 表2-10 T_j 温度最大值改为100°C； 8. 更新上下电及热插拔说明，更新上电、下电顺序为逻辑上电、下电顺序，增加3.1.4整体上电、下电顺序,更新热插拔的I2C总线应用场景的上拉电阻值； 9. 更新表3-2中LVCOM15电平标准输入输出电压范围； 10. 表3-5删除MIPI电平标准； 11. 表3-6 增加SSTL12D电平标准直流特性参数； 12. 更新表4-1,表4-2,表4-3交流特性参数； 13. DQS交流特性增加HR IO DQS参数； 14. HP IO存储接口性能删除LPDDR； DDR2, QDRII+, RLDRAM3, RLDRAM2速率改为TBD； 15. 更新表7-3，表7-8，表7-9数据。

2021.6.30	V1.0	<ol style="list-style-type: none"> 1. 表2-3 更新R_{INTERM},I_{PU},I_{PD}数据, 表2-3增加了注释; ; 2. 更新表2-6 静态电流, 表格中包含典型静态电流和最大静态电流并增加相关说明; 3. 表2-7 电源上电斜升时间 增加HSSTAVCC, HSSTAVCCPLL, HSSTVCCA电源斜升时间; 4. 更新表2-9中的 ESD 参数; 5. 3.1.1章节更新电源上下电要求, 3.1.3章节增加HSST电源上电、下电顺序说明, 增加热插拔规格描述; 增加禁止上下电的注意事项, 增加对同时下电条件的描述; 6. 更新表3-3中LVDS的VICM最小值为1.0V; 7. 表3-4, 表4-13 删除MIPI电平标准相关说明; 8. 更新图4-1 Power up Timing特性; 9. 更新表4-4、表4-5中错误合并的单元格; 10. 表4-12 Slave Serial,Slave Parallel和内部从并的频率改为50M, 脉宽改为10ns; 11. 更新表5-3, 表5-4 DDR接口最高速率数据; 12. 表5-6更新只使用APM的输入输出寄存器的性能; 13. 表7-4 HSST_Fhpll_max由16Ghz改为8Ghz、HSST_Fhpll_max由9Ghz改为4.5Ghz; 14. 表7-6修改HSST_TPLLLOCK最大值为2.5ms; 15. 更新表7-8 HSST_TJ, HSST_DJ数据; 16. 表7-9删除HSST_TRXIDLETIME, HSST_RXVPOOB 两个参数; 17. 更新PCIe相关参数及说明; 18. 更新HSSTHP最大数据速率为12.5Gbps; 19. 更新DRM最高性能; 20. 更新APM最高性能; 21. 更新GPLL的输入时钟抖动为GPLL的输入时钟周期抖动; 22. 更新PPLL的输入时钟抖动为GPLL的输入时钟周期抖动; 23. 更新HSST_RRCLK参数最大值为400; 24. 更新CLM交流特性参数值; 25. 更新DRM交流特性参数值; 26. 更新APM交流特性参数值; 27. 更新IOB交流特性参数值; 28. 更新HSST接收侧的正弦抖动容限参数值; 29. 更新HSST硬核直流参数中的HSST_VDINPP数值;
-----------	------	---

目 录

1.	Titan2系列FPGA概述.....	9
1.1.	Titan2系列FPGA产品特性.....	9
1.2.	Titan2系列FPGA资源规模与封装信息.....	11
1.3.	Titan2系列FPGA简要描述.....	11
1.3.1.	CLM.....	11
1.3.2.	DRM.....	12
1.3.3.	APM.....	12
1.3.4.	Input/Output.....	13
1.3.5.	ADC.....	13
1.3.6.	时钟.....	14
1.3.7.	配置.....	14
1.3.8.	高速串行收发器HSSTHP.....	15
1.4.	Titan2系列FPGA参考资料.....	16
1.5.	Titan2系列FPGA订货信息.....	17
2.	工作条件.....	17
2.1.	器件绝对极限电压.....	17
2.2.	器件推荐工作条件.....	17
2.3.	器件推荐工作条件下的直流特性.....	18
2.4.	V_{IN} 允许的最大过冲和下冲电压.....	19
2.5.	静态电流.....	20
2.6.	电源上电斜升时间.....	20
2.7.	启动所需的最小电流.....	20
2.8.	ESD (HBM, CDM), Latch Up指标.....	21
2.9.	eFUSE编程条件.....	21
3.	典型工作条件下的直流特性.....	21
3.1.	上电、下电.....	21
3.1.1.	上电、下电要求.....	21
3.1.2.	逻辑上电、下电顺序.....	21
3.1.3.	HSST电源上电、下电顺序.....	22
3.1.4.	整体上电、下电顺序.....	23
3.1.5.	支持热插拔的上电、下电要求.....	23
3.2.	IO输入输出直流特性 (I/O Input & Output DC)	24
3.2.1.	HR I/O直流特性.....	24
3.2.2.	HP I/O直流特性.....	25
4.	典型工作条件下的交流特性.....	27
4.1.	可配置逻辑模块CLM (Configurable Logic Module) 交流特性参数.....	27
4.2.	专用RAM模块DRM (Dedicated RAM Module) 交流特性参数.....	27
4.3.	算术处理单元APM (Arithmetic Process Module) 交流特性参数.....	29
4.4.	GPLL交流特性参数.....	30
4.5.	PPLL交流特性参数.....	31
4.6.	DQS交流特性参数.....	31
4.7.	全局时钟网络 (Global Clock Network) 交流特性参数.....	32
4.8.	区域时钟网络 (Regional Clock Network) 交流特性参数.....	32
4.9.	IO时钟网络 (IO Clock Network) 交流特性参数.....	32
4.10.	配置和编程 (Configuration and Programming) 交流特性参数.....	32
4.10.1.	Power-up Timing特性.....	32
4.10.2.	各下载模式交流特性.....	33
4.11.	IOB交流特性参数.....	34
5.	典型工作条件下的性能参数 (Fabric Performance)	53
5.1.	LVDS性能参数 (LVDS Performance)	53
5.2.	存储接口性能参数 (Memory Interface Performance)	54

5.3.	专用RAM模块DRM (Dedicated RAM Module) 性能参数.....	54
5.4.	算术模块APM (Arithmetic Process Module) 性能参数.....	55
6.	模数转换器 (ADC) 特性.....	55
7.	高速串行收发器 (HSSTHP) 特性.....	55
7.1.	HSSTHP硬核绝对极限电压, 电流额定值.....	56
7.2.	HSSTHP硬核推荐工作条件.....	56
7.3.	HSSTHP硬核直流特性参数.....	56
7.4.	高速串行收发器HSSTHP的交流特性.....	57
8.	PCIe硬核特性.....	59
9.	联系我们.....	60
	免责声明.....	61

表目录

表 1-1 TITAN2 FPGA资源数量.....	11
表 1-2 TITAN2 FPGA封装信息与用户IO数量.....	11
表 1-3 TITAN2系列FPGA用户指南文档.....	16
表 2-1 器件最大绝对电压值.....	17
表 2-2 推荐工作条件.....	17
表 2-3 推荐工作条件下的直流特性.....	18
表 2-4 HR I/O V_{IN} 允许的最大过冲和下冲电压.....	19
表 2-5 HP I/O V_{IN} 允许的最大过冲和下冲电压.....	19
表 2-6 静态电流.....	20
表 2-7 电源上电斜升时间.....	20
表 2-8 启动所需的最小电流.....	20
表 2-9 ESD、LATCH-UP指标.....	21
表 2-10 eFUSE编程条件.....	21
表 3-1 热插拔规格.....	23
表 3-2 HR BANK单端IO电平标准输入输出电压范围.....	24
表 3-3 HR BANK差分输入输出标准的参数要求.....	25
表 3-4 HR BANK类差分输入输出标准的参数要求.....	25
表 3-5 HP BANK单端IO电平标准输入输出电压范围.....	25
表 3-6 HP BANK 差分输入输出标准的参数要求.....	26
表 3-7 HP BANK类差分输入输出标准的参数要求.....	26
表 4-1 CLM交流特性.....	27
表 4-2 DRM交流特性.....	27
表 4-3 APM交流特性.....	29
表 4-4 GPLL交流特性.....	30
表 4-5 PLL交流特性.....	31
表 4-6 HR IO DQS交流特性.....	31
表 4-7 HP IO DQS交流特性.....	32
表 4-8 全局时钟网络交流特性.....	32
表 4-9 区域时钟网络交流特性.....	32
表 4-10 IO时钟网络交流特性.....	32
表 4-11 POWER-UP TIMING特性参数.....	33
表 4-12 TITAN2系列FPGA支持的各下载模式的交流特性.....	33
表 4-13 IOB HIGH RANGE(HR)交流特性参数.....	34
表 4-14 IOB HIGH PERFORMANCE(HP)交流特性参数.....	41
表 5-1 HR I/O LVDS最高性能.....	53
表 5-2 HP I/O LVDS最高性能.....	53
表 5-3 HPI/O存储接口最高性能.....	54
表 5-4 HRI/O存储接口最高性能.....	54
表 5-5 DRM最高性能.....	54
表 5-6 APM最高性能.....	55
表 6-1 ADC硬核特性.....	55
表 7-1 HSSTHP绝对极限电压、电流额定值.....	56
表 7-2 HSSTHP硬核推荐工作条件.....	56
表 7-3 HSSTHP硬核直流特性.....	56
表 7-4 HSSTHP硬核性能参数.....	57
表 7-5 HSSTHP硬核参考时钟开关特性.....	57
表 7-6 HSSTHP硬核PLL/LOCK锁定时间特性.....	57
表 7-7 HSSTHP硬核用户时钟开关特性.....	57
表 7-8 HSSTHP硬核TRANSMITTER发送侧开关特性.....	58
表 7-9 HSSTHP硬核RECEIVER接收侧开关特性.....	59
表 8-1 PCIE性能参数.....	59

图目录

图 1-1 TITAN2系列FPGA产品型号的编号内容及意义.....	17
图 3-1 上电时序图.....	22
图 3-2 下电时序图.....	22
图 3-3 HSST上电顺序.....	23
图 4-1 器件POWER-UP TIMING特性.....	32

缩略语

缩略语清单：对本文所用缩略语进行说明，要求提供每个缩略语的英文全名和中文解释

Abbreviations 缩略语	Full Spelling 英文全拼	Chinese Explanation 中文解释
CLM	Configurable Logic Module	可配置逻辑模块
DRM	Dedicated RAM Module	专用RAM存储模块
APM	Arithmetic Process Module	算术处理单元
DDR	Double Data Rate	双倍速率同步动态随机存储器
ADC	Analog to Digital Converter	模数转换器
RAM	Random Access Memory	随机存取存储器
HSSTHP	High Speed Serial Transceiver High Performance	高速串行收发器
CTC	Clock Tolerance Compensation	时钟容差补偿
HR	High Range	宽范围
HP	High Performance	高性能
PCIe	Peripheral Component Interconnect Express	高速串行计算机扩展总线标准
UID	Unique Identification	唯一标识
HSTL	High Speed Transceiver Logic	高速收发逻辑
SSTL	Stub Series Terminated Logic	短截线串联端接逻辑
POD	Pseudo Open Drain	伪漏极开路
LVDS	Low-Voltage Differential Signaling	低电压差分信号
TMDS	Transition-minimized differential signaling	过渡调制差分信号
HDMI	High Definition Multimedia Interface	高清多媒体接口
DVI	Digital Visual Interface	数字视频接口
BGA	Ball Grid Array Package	球栅阵列封装
UI	Unit Interval	单位时间间隔

本文主要包括Titan2系列FPGA器件的特性概要描述、产品型号与资源规模列表、交流和直流特性等内容，用户可以通过本文了解Titan2系列FPGA器件特性，方便进行器件选型。

1. Titan2系列FPGA概述

Titan2系列可编程逻辑器件采用了28nm工艺。包含可配置逻辑模块（CLM）、专用的36Kb存储单元（DRM）、算术处理单元（APM）、高性能I/O，多功能I/O以及丰富的片上时钟资源等模块，并集成了模数转换模块（ADC）、PCIe等硬核资源，支持多种配置模式，同时提供位流加密和认证、器件ID（UID）等功能以保护用户的设计安全。基于以上特点，Titan2系列FPGA能够广泛适用于视频、工业控制、通信、计算机、医疗、LED显示安防监控、仪器仪表、消费电子等多个应用领域。

1.1. Titan2系列FPGA产品特性

➤ 高性能

- 成熟的 28nm CMOS 工艺
- 1.0V 的内核电压

➤ 支持多种标准的IO

- 多达 500 个用户 IO
- HR I/O 支持 1.2V 到 3.3V IO 标准
- HP I/O 1.2V~1.8V
- 支持 HSTL、SSTL、POD 存储接口标准
- 支持 LVDS、MINI-LVDS、TMDS（应用于 HDMI、DVI 接口）等差分标准
- 可编程的 IO BUFFER，高性能的 IO LOGIC

➤ 灵活的可编程逻辑模块CLM

- LUT6 逻辑结构
- 每个 CLM 包含 4 个多功能 LUT6、8 个寄存器
- 支持快速算术进位逻辑
- 支持分布式 RAM 模式

- 支持级联链

➤ 支持多种读写模式的DRM

- 单个 DRM 提供 36Kb 存储空间，可配置为 2 个独立的 18Kb 存储块
- 支持多种工作模式，包括单口（SP）RAM、双口（DP）RAM、简单双口（SDP）RAM、ROM 以及 FIFO 模式
- 双口 RAM 和简单双口 RAM 支持双端口混合数据位宽
- 支持 ECC 功能
- 支持 Normal-Write, Transparent-Write 以及 Read-before-Write 三种写模式
- 支持 Byte-Write 功能
- 可选的地址锁存、输出寄存器

➤ 高效的算术处理单元APM

- 每个 APM 支持 1 个 25*18 运算或 2 个 12*9 运算
- 支持输入、输出寄存器
- 支持 48bit 加法

- 支持有符号数据运算
- **集成ADC硬核**
 - 12bit 分辨率、1MSPS(独立 ADC 双核)采样率
 - 多达 12 个输入通道
 - 集成温度传感器
- **丰富的时钟资源**
 - 支持 3 类时钟网络，可灵活配置
 - 支持全局时钟（GLOBAL CLOCK）网络
 - 支持区域时钟（REGIONAL CLOCK）网络
 - 支持 I/O 时钟（I/O CLOCK）网络
 - 集成多个 PLL，每个 PLL 支持多达 5 个时钟输出
- **灵活的配置方式**
 - 支持多种编程模式
 - JTAG 模式符合 IEEE 1149.1、IEEE 1149.6 标准
 - Master SPI 可选择最高 8bit 数据位宽，有效提高编程速度
 - 支持 Slave Serial、Slave Parallel 模式
 - 支持 AES256-GCM 位流加密，支持 96bit UID 保护
- 支持对位流文件进行数字签名认证
- 支持 eFuse 密钥存储
- 支持电池供电的 RAM（BB-RAM）密钥存储，提供芯片级安全防护
- 支持禁止位流回读
- 支持 JTAG 安全管理
- 支持防 DPA 攻击
- 支持 SEU 检错纠错
- 支持多版本位流回退功能
- 支持看门狗超时检测
- 支持编程下载工具 Fabric Configuration
- 支持在线调试工具 Fabric Debugger
- **高性能的存储器接口**
 - HR I/O 支持 DDR3、DDR3L、DDR2、LPDDR、QDRII+、RLDRAM2
 - HP I/O 支持 DDR4、DDR3、DDR3L、DDR2、QDRII+、RLDRAM3、RLDRAM
 - 支持 x4、x8、x16、x32、x64 位宽
- **高性能的高速串行收发器 HSSTHP**
 - 支持 Data Rate 速率高达 12.5Gbps
 - 可灵活配置的 PCS，可支持 PCIe GEN1/GEN2，千兆以太网、XAUI, Gige 等协议

1.2. Titan2系列FPGA资源规模与封装信息

Titan2系列FPGA资源规模与封装信息如表1-1和表1-2所示。

表 1-1 Titan2 FPGA资源数量

资源名称		PG2T390H
CLM	LUT6	243600
	逻辑单元	389760
	FF	487200
	分布式ram (Kb)	4712
DRM (36Kbits/个)		480
APM(个)		840
PLLs	GPLLs	10
	PPLLs	10
ADC (双核)	专用模拟通道 (差分输入对)	1
	复用模拟通道 (差分输入对)	11
SERDES LANE ⁽¹⁾		16
PCIE GEN2×8 CORE		1

注：1. 4个LANE组成一个HSSTHP

表 1-2 Titan2 FPGA封装信息与用户IO数量

封装信息	器件	PG2T390H		
		SERDES LANE	HR_I/O	HP_I/O
FFBG900 (31mm×31mm, 1.0mm)		16	350	150
FFBG676 (27mm×27mm, 1.0mm)		8	250	150

1.3. Titan2系列FPGA简要描述

1.3.1. CLM

CLM (Configurable Logic Module, 可配置逻辑模块) 是Titan2系列产品的的基本逻辑单元, 它主要由多功能LUT6, 寄存器以及扩展功能选择器等组成。CLM在Titan2系列产品中有CLMA和CLMS两种形态。CLMA和CLMS均支持逻辑功能, 算术功能, 移位寄存器功能以及ROM功能, 仅有CLMS支持分布式RAM功能。

CLM的主要功能特性如下:

- 采用创新的 LUT6 逻辑结构
- 每个 CLM 包含 4 个多功能 LUT6
- 每个 CLM 包含 8 个寄存器
- 支持算术功能模式

- 支持快速算术进位逻辑
- 可高效实现多路选择功能
- 可实现 ROM 功能
- 支持分布式 RAM 模式
- 支持级联链

详细CLM特性及使用方法可参考《UG050001_Titan2系列FPGA可配置逻辑模块（CLM）用户指南》。

1.3.2. DRM

单个DRM有36Kb存储单元，支持多种工作模式，支持可配置的数据位宽，并在DP RAM和SDP RAM模式下支持双端口混合数据位宽。DRM的主要特性如下：

- DRM存储容量可以独立配置2个18Kb或1个36Kb。
- DP RAM的端口数据位宽高至36位，它的两个端口除了共享RAM内容之外完全独立，支持不同的时钟域。
- SDP RAM的端口数据位宽高至72位，它的两个端口也支持不同的时钟域，但它的一个端口仅限于写操作，另一个端口仅限于读操作。
- ROM模式下，DRM的内容通常在下载配置数据的过程中初始化。当然，其它模式也可以利用编程配置来初始化DRM的内容。ROM的端口数据位宽高至72位。
- 同步或者异步FIFO模式时，一个端口专用于FIFO数据写入，另一个端口专用于FIFO数据读取，读写端口可以采用不同的时钟。
- 36K存储器模式下支持64位 ECC，并支持用户插入错误。

详细DRM特性及使用方法可参考《UG050002_Titan2系列FPGA专用RAM模块（DRM）用户指南》。

1.3.3. APM

每个APM由I/O Unit, Preadder, Mult和Postadder功能单元组成，支持每一级寄存器流水。每一个APM可实现一个25*18位乘法器或两个12*9位乘法器，支持预加功能，支持有符号运算；可实现1个48位或2个24位的加/减/累加运算。Titan2 FPGA的APM支持级联，可实现滤波器以及高位宽乘法器应用。APM的主要特性如下：

- 有符号数乘法器 25*18 位；无符号乘通过高位赋 0 实现
- 所有的计算及输出结果均为有符号数，已包含符号位

- 支持 1 个 48 位加/减/累加运算或 2 个 24 位运算
- Pre-add 为 25 位
- 独立可选的 CE 和 RST
- 支持输入级联
- 支持输出级联
- 控制/数据信号流水线
- 支持动态模式切换
- 支持取整功能

详细APM特性及使用方法可参考《UG050003_Titan2系列FPGA算术处理模块（APM）用户指南》。

1.3.4. Input/Output

➤ IOB

Titan2 FPGA的I/O按照Bank分布，每个Bank由独立的I/O电源供电。其中IOB分为两种，分别为HR IOB和HP IOB，HR IOB支持1.2V~3.3V电压范围；HP IOB支持1.2V~1.8V电压范围，以适应不同的应用场景。所有的用户I/O都是双向的，内含IBUF、OBUF以及三态控制TBUF。Titan2 FPGA的IOB功能强大，可灵活配置接口标准、输出驱动强度、摆率、输入迟滞等。详细的IO特性及使用方法可参考《UG050006_Titan2系列FPGA输入输出接口（IO）用户指南》。

➤ IOL

IOL模块位于IOB和Core之间，对要输入和输出FPGA Core的信号进行管理。

IOL支持各种高速接口，除了支持数据直接输入输出、IO寄存器输入输出模式外，还支持以下功能：

- ISERDES：针对高速接口，支持1:2、1:4、1:7、1:8等的输入Deserializer。
- OSERDES：针对高速接口，支持2:1、4:1、7:1、8:1等的输出Serializer。
- TSERDES：支持2:1；4:1；8:1
- 内置IO延迟功能，可以动/静态调整输入/出延迟。

详细IO特性及使用方法参考《UG050006_Titan2系列FPGA输入输出接口（IO）用户指南》。

1.3.5. ADC

Titan2 FPGA内部集成了一个分辨率为12位、采样率为1MSPS的双核模数转换器（Dual core ADC）。每个ADC带有12对差分通道，其中11对模拟输入引脚与GPIO复用，另外1对采用专用模拟输入引脚。12对通道的扫描方式完全由FPGA灵活控制，用户可以通过用逻辑户决定最终

由几对通道分享1MSPS的ADC采样率。

ADC提供对片上电压及温度的监测功能。可对VCC、VCCA、VCC_DRM进行检测；详细特性参数见表6-1。ADC详细使用参考《UG050009_Titan2系列FPGA模数转换模块（ADC）用户指南》。

1.3.6. 时钟

Titan2系列产品包含三类时钟，分别为全局时钟（Global Clock）、区域时钟（Region Clock）和I/O Clock。全局时钟为芯片各节点的同步逻辑单元提供时钟。全局时钟可作为不同的时钟区域内的同步逻辑单元的同步时钟。区域时钟为所属的单个时钟区域内的同步逻辑单元提供时钟。可同步驱动上下相邻的两个时钟区域。I/O Clock为I/O高速数据提供同步时钟。

为了满足用户关于频率变化和相位调整的需求，Titan2系列产品还提供了丰富的PLL资源，GPLL相比PPLL提供更多的分频和功能，PPLL则可以为DDR等提供时钟。

以PG2T390H 为例，芯片整体时钟资源如下所示：

- 有 32 路全局时钟，其中 16 路全局时钟来源于芯片上半区域的时钟，另外 16 路全局时钟来源于芯片下半区域的时钟，32 路全局时钟经过全局时钟缓冲器可送至各个时钟区域；
- 除了 HSST 所在的 4 个时钟区域外，每个时钟区域有 4 个区域时钟缓冲器(RCKB, Region Clock Buffer)，共 40 路区域时钟；
- 每个区域里有 12 个水平时钟缓冲器（HCKB, Horizontal Clock Buffer），共 168 路水平时钟；
- 每个 IO BANK 有 4 个 I/O 时钟缓冲器（IOCKB, IO Clock Buffer），共 40 路 I/O 时钟。

时钟的详细特性及使用方法请参考《UG050004_Titan2系列FPGA时钟资源（Clock）用户指南》。

1.3.7. 配置

配置（Configuration）是对FPGA进行编程的过程。Titan2 FPGA使用SRAM单元存储配置数据，每次上电后都需要重新配置；配置数据可以由芯片主动从外部flash获取，也可通过外部处理器/控制器将配置数据下载到芯片中。

Titan2 FPGA支持多种配置模式，包括JTAG模式、Master SPI模式、Slave Parallel模式、Slave Serial模式。Titan2 FPGA的配置相关功能如下所述：

- JTAG模式，符合IEEE 1149.1、IEEE 1149.6标准

- Master SPI模式，支持数据位宽1/2/4/8位
- Slave Parallel模式，支持数据位宽8/16/32位
- Slave Serial模式
- 支持配置数据流压缩，可有效减小位流的大小，节约存储空间和编程时间
- 配置数据流加密可防止恶意抄袭，有效保护客户设计知识产权
- 支持 SHA-3 摘要、RSA-2048 认证、AES256-GCM 自认证对位流进行数字签名
- 密钥存储方式支持 eFuse 和电池供电的 RAM (BB-RAM) 密钥存储，其中 BB-RAM 可提供芯片级的安全防护
 - 支持防位流反向读取的安全防护技术
 - 支持 JTAG 安全管理，可永久关闭 JTAG 功能
 - 支持防 DPA 攻击，防止加密密钥被黑客破解
 - 支持 SEU 1 位纠错和 2 位检错，SEU 未 100% 覆盖率，具体的覆盖率详见《UG042001_SEU_IP》
 - 支持看门狗超时检测功能
 - 在主 SPI 模式下，支持配置位流版本回退功能
 - 支持 UID 功能

不同配置模式下的供电要求、详细特性及使用方法请参考《UG050005_Titan2系列FPGA配置（Configuration）用户指南》。

1.3.8. 高速串行收发器HSSTHP

HSSTHP是内置于Titan2系列产品的高速串行接口模块，数据速率高达12.5Gbps。除了PMA、HSSTHP集成了丰富的PCS功能，可灵活应用于各种串行协议标准。每个HSSTHP支持一至四个全双工收发Lane。HSSTHP主要特性包括：

- 支持数据速率：0.6Gbps-12.5Gbps
- 灵活的参考时钟选择方式
- 发送通道和接收通道数据率可独立配置
- 可编程输出摆幅和去加重
- 接收端自适应均衡器
- PMA Tx/Rx支持扩频

- 数据通道支持8bit only, 10bit only, 8b10b 8bit, 16bit only, 20bit only, 8b10b 16bit, 32bit only, 40bit only, 8b10b 32bit, 64bit only, 80bit only, 8b10b 64bit, 64b66b/64b67b 16bit, 64b66b/64b67b 32bit, 128b130b等模式。
- 可灵活配置的PCS, 可支持PCI Express GEN1/2/3, XAUI, 千兆以太网, CPRI, SRIO等协议
- 灵活的字节边界对齐功能
- 支持Rx Clock Slip功能以保证固定的接收延迟
- 支持协议标准8b10b, 64b66b/64b67b, 128b130b编码解码
- 灵活的CTC方案
- 支持x2和x4的通道绑定
- HSSTHP的配置支持动态修改
- 近端环回和远端环回模式
- 内置PRBS功能

HSSTHP的详细特性及使用方法请参考《UG050008_Titan2系列FPGA高速串行收发器(HSSTHP)用户指南》

1.4. Titan2系列FPGA参考资料

1.3小节对Titan2 FPGA各模块以及时钟和配置系统做了简要描述, 要了解相应模块的详细信息, 请查阅Titan2 FPGA相关的用户指南文档, 见下表。

表 1-3 Titan2系列FPGA用户指南文档

文档编号	文档名称	文档内容
UG050001	《Titan2系列FPGA可配置逻辑模块(CLM)用户指南》	Titan2系列FPGA可配置逻辑模块功能描述
UG050002	《Titan2系列FPGA专用RAM模块(DRM)用户指南》	Titan2系列FPGA专用RAM模块功能描述
UG050003	《Titan2系列FPGA算术处理模块(APM)用户指南》	Titan2系列FPGA算术处理模块功能描述
UG050004	《Titan2系列FPGA时钟资源(Clock)用户指南》	Titan2系列FPGA时钟资源, 包括PLL的功能与用法描述
UG050005	《Titan2系列FPGA配置(configuration)用户指南》	Titan2系列FPGA配置接口、配置模式、配置过程等的描述
UG050006	《Titan2系列FPGA输入输出接口(IO)用户指南》	Titan2系列FPGA输入输出接口功能描述
UG050007	《Titan2系列产品GTP用户指南》	Titan2系列FPGA GTP功能描述和使用指南
UG050008	《Titan2系列FPGA高速串行收发器(HSSTHP)用户指南》	Titan2系列FPGA高速串行收发器(HSSTHP)功能描述
UG050009	《Titan2系列FPGA模数转换模块(ADC)用户指南》	Titan2系列FPGA模数转换器功能描述

UG050012	《Titan2单板硬件设计指南》	Titan2单板硬件设计指南
----------	------------------	----------------

1.5. Titan2系列FPGA订货信息

Titan2系列FPGA产品型号的编号内容及意义如图1-1所示。

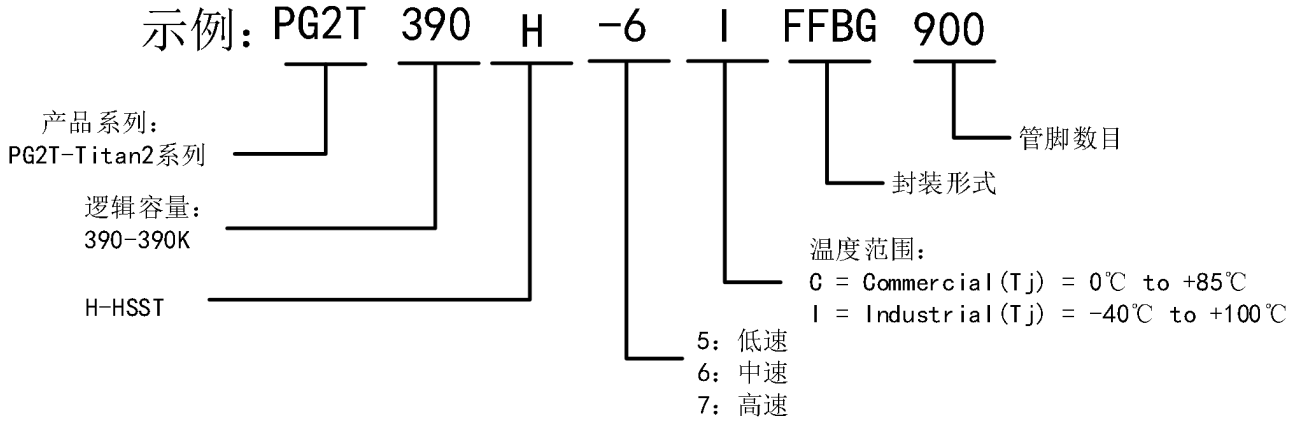


图 1-1 Titan2系列FPGA产品型号的编号内容及意义

2. 工作条件

2.1. 器件绝对极限电压

表 2-1 器件最大绝对电压值

名称	最小值	最大值	单位	说明
VREF	-0.5	2.0	V	输入参考电压
VCCB	-0.5	2.0	V	密钥存储器备用电池电源供电电压
VCC	-0.5	1.1	V	内核逻辑电源供电电压
VCC_HP	-0.5	1.1	V	HP IO的逻辑电源供电电压
VCCA	-0.5	2.0	V	辅助电源供电电压
VCCIO	-0.5	3.6	V	输出驱动器电源的供电电压(HR I/O)
	-0.5	2.0	V	输出驱动器电源的供电电压(HP I/O)
VCC_DRM	-0.5	1.1	V	DRM电源供电电压
VCCA_IO_G0	-0.5	2.06	V	HP IO专用模拟电源
VIN	-0.3	VCCIO+0.45	V	I/O输入电压
	-0.3	2.525	V	VCCIO为3.3V时, VREF或差分I/O标准的I/O输入电压, TMDS_33标准除外

注：超过上述极限额定值可能导致器件永久性损坏。长时间工作在绝对最大额定值条件下可能会影响设备的可靠性。

2.2. 器件推荐工作条件

表 2-2 推荐工作条件

名称	最小值	典型值	最大值	单位	说明
VCCB	1.0	--	1.89	V	密钥存储器备用电池电源供电电压

$V_{CC}^{(1)}$	0.97	1.0	1.03	V	内核电源电压
$V_{CC_HP}^{(1)}$	0.97	1.0	1.03	V	HP IO电源电压
$V_{CCA}^{(2)}$	1.71	1.8	1.89	V	辅助电源供电电压
V_{CCIO}	1.14	--	3.465	V	输出驱动器电源的供电电压(HR I/O)
	1.14	--	1.89	V	输出驱动器电源的供电电压(HP I/O)
$V_{CC_DRM}^{(1)}$	0.97	1.0	1.03	V	DRM 电源供电电压
$V_{CCA_IO_G0}^{(2)}$	1.71	1.8	1.89	V	HP IO 专用模拟电源(当电压设置为 1.8V 时)
	1.94	2.0	2.06	V	HP IO 专用模拟电源(当电压设置为 2.0V 时)
V_{IN}	-0.2	--	$V_{CCIO}+0.2$	V	I/O 输入电压
	-0.2	--	2.5	V	V_{CCIO} 为 3.3V 时, V_{REF} 或差分 I/O 标准的 I/O 输入电压, TMDS_33 标准除外
I_{IN}	--	--	10	mA	在上电或者未上电的 Bank 内的任意一个 PIN 的正偏钳位二极管所允许流过的最大电流

注: 1. V_{CC}/V_{CC_HP} 与 V_{CC_DRM} 在板级可以连接同一路1.0V电源上。

2. V_{CCA} 和 $V_{CCA_IO_G0}$ 在板级可以连接到同一路1.8V电源上。

3. 所有电压都是相对于地的。

4. 电源相关的设计请参考《UG050012_Titan2单板硬件设计指南》。

5. V_{CCIO} 电压 V_{CC} 应在1.2V、1.35V、1.5V、1.8V、2.5V和3.3V以及各电压的±5%范围内, 其中2.5V和3.3V仅HR I/O支持。

6. V_{CCB} 仅在位流加密时使用, 密钥功能不使用时 V_{CCB} 接地或 V_{CCA} 。

2.3. 器件推荐工作条件下的直流特性

表 2-3 推荐工作条件下的直流特性

标识	最小值	典型值 ⁽¹⁾	最大值	说明
V_{DRVCC}	0.75V	--	--	V_{CC} 的配置数据保持电压
V_{DRVCCA}	1.5V	--	--	V_{CCA} 的配置数据保持电压
I_L	--	--	60uA	引脚的输入或者输出漏电流
I_{REF}	--	--	60uA	V_{REF} 引脚的漏电流
$I_{PU}^{(2)}$	90uA	--	390uA	PAD 的上拉电流($V_{IN}=0$; $V_{CCIO}=3.3V$)
	68uA	--	370uA	PAD 的上拉电流($V_{IN}=0$; $V_{CCIO}=2.5V$)
	34uA	--	300uA	PAD 的上拉电流($V_{IN}=0$; $V_{CCIO}=1.8V$)
	23uA	--	200uA	PAD 的上拉电流($V_{IN}=0$; $V_{CCIO}=1.5V$)
	12uA	--	150uA	PAD 的上拉电流($V_{IN}=0$; $V_{CCIO}=1.2V$)
I_{PD}	68uA	--	330uA	PAD 的下拉电流($V_{IN}=3.3V$)
	45uA	--	300uA	PAD 的下拉电流($V_{IN}=1.8V$)
I_{CCADC}	--	--	25mA	ADC power up 模式的电流
$I_{VCCB}^{(3)}$	--	--	150nA	V_{CCB} 电源电流
R_{INTERM}	22	40	65	在 $V_{CCIO}/2$ 电压下的可编程输入终端的戴维南等值电阻。(当设置为 40Ω 的时候)
	28	50	75	在 $V_{CCIO}/2$ 电压下的可编程输入终端的戴维南等值电阻。(当设置为 50Ω 的时候)

	35	60	95	在 $V_{CCIO}/2$ 电压下的可编程输入终端的戴维南等值电阻。(当设置为 $60\ \Omega$ 的时候)
$C_{IN}^{(4)}$	--	--	16pF	封装引脚输入电容
n	--	0.9988	--	温度二极管的理想因子
r	--	$2.5\ \Omega$	--	温度二极管的串行电阻

注：1. 典型值是指常压， 25°C

2. 三温正负偏压3%

3. 此处最大值指 25°C 时的最大值。

4. 该电容值是指die以及封装的电容值

2.4. V_{IN} 允许的最大过冲和下冲电压

表 2-4 HR I/O V_{IN} 允许的最大过冲和下冲电压

过冲电压 (V)	%UI (-40°C~100°C)	下冲电压 (V)	%UI (-40°C~100°C)
$V_{CCIO} + 0.45$	100	-0.30	100
		-0.35	55.50
		-0.40	23.20
		-0.45	9.90
$V_{CCIO} + 0.5$	42	-0.50	4.30
$V_{CCIO} + 0.55$	19.08	-0.55	1.89
$V_{CCIO} + 0.6$	8.77	-0.60	0.84
$V_{CCIO} + 0.65$	4.10	-0.65	0.38
$V_{CCIO} + 0.7$	1.90	-0.70	0.18
$V_{CCIO} + 0.75$	0.91	-0.75	0.08
$V_{CCIO} + 0.80$	0.44	-0.80	0.04
$V_{CCIO} + 0.85$	0.21	-0.85	0.01

注：1. 每个bank的最大电流不超过200mA。

2. 过冲或下冲的峰值电压，以及在 $v_{cco} + 0.20\ \text{v}$ 以上或 $\text{gnd}-0.20\ \text{v}$ 以下的持续时间，不得超过本表中的数值。

表 2-5 HP I/O V_{IN} 允许的最大过冲和下冲电压

过冲电压 (V)	%UI (-40°C~100°C)	下冲电压 (V)	%UI (-40°C~100°C)
$V_{CCIO} + 0.45$	100	-0.45	100
$V_{CCIO} + 0.50$	64.35	-0.50	67.96
$V_{CCIO} + 0.55$	44.69	-0.55	41.69
$V_{CCIO} + 0.60$	33.02	-0.60	26.05
$V_{CCIO} + 0.65$	25.28	-0.65	14.92
$V_{CCIO} + 0.70$	19.49	-0.70	7.56
$V_{CCIO} + 0.75$	14.47	-0.75	3.74
$V_{CCIO} + 0.80$	10.42	-0.80	2.34
$V_{CCIO} + 0.85$	7.71	-0.85	1.67

过冲电压 (V)	%UI (-40°C~100°C)	下冲电压 (V)	%UI (-40°C~100°C)
V _{CCIO} + 0.90	5.85	-0.90	1.29
V _{CCIO} + 0.95	4.58	-0.95	1.04

注：1. 每个bank的最大电流不超过200mA。

2. 过冲或下冲的峰值电压，以及在 vcco + 0.20 v 或 gnd-0.20 v 以下的持续时间，不得超过本表中的数值。

2.5. 静态电流

表 2-6 静态电流

标识	器件	典型值 ⁽¹⁾	最大值 ⁽²⁾	说明
I _{CCQ}	PG2T390H	1665mA	4A	V _{CC} 的静态电流
I _{CC_DRM}	PG2T390H	30mA	75mA	V _{CC_DRM} 的静态电流
I _{CCIO}	PG2T390H	40mA	50mA	V _{CCIO} 的静态电流
I _{CCA}	PG2T390H	375mA	1.5A	V _{CCA} 的静态电流
I _{CCA_IO}	PG2T390H	1mA	2mA	V _{CCA_IO_G0} 的静态电流

注：1.典型值是指常压，85度结温并且都是单端I/O；空白配置的器件并且没有输出电流负载，没有输入上拉电阻，所有I/O处于三态并且悬空情况下测试得到的电流值。

2.最大值是指常压，100度结温并且都是单端I/O；空白配置的器件并且没有输出电流负载，没有输入上拉电阻，所有I/O处于三态并且悬空测试得到的电流值。

3.其它特定条件下的静态功耗评估请使用MCT中集成的功耗评估工具。

2.6. 电源上电斜升时间

表 2-7 电源上电斜升时间

标识	最小值	最大值	单位	说明
T _{VCC}	0.2	50	ms	V _{CC} 从 GND 上升到 90%V _{CC} 的时间
T _{VCC_DRM}	0.2	50	ms	V _{CC_DRM} 从 GND 上升到 90%V _{CC_DRM} 的时间
T _{VCCIO}	0.2	50	ms	V _{CCIO} 从 GND 上升到 90%V _{CCIO} 的时间
T _{VCCA}	0.2	50	ms	V _{CCA} 从 GND 上升到 90%V _{CCA} 的时间
T _{VCCIO2VCCA}	-	100	ms	V _{CCIO} - V _{CCA} >2V 的时间
T _{HSSTAVCC}	0.2	50	ms	HSSTAVCC 从 GND 上升到 90%HSSTAVCC 的时间
T _{HSSTAVCCPLL}	0.2	50	ms	HSSTAVCCPLL 从 GND 上升到 90%HSSTAVCCPLL 的时间
T _{HSSTVCCA}	0.2	50	ms	HSSTVCCA 从 GND 上升到 90%HSSTVCCA 的时间

2.7. 启动所需的最小电流

表 2-8 启动所需的最小电流

标识	器件	最小值	单位	说明
I _{CCMIN}	PG2T390H	I _{CCQ} +1000	mA	V _{CC} 上电启动的最小电流
I _{CC_DRMMIN}	PG2T390H	I _{CC_DRM} +50	mA	V _{CC_DRM} 上电启动的最小电流

标识	器件	最小值	单位	说明
I _{CCIO} MIN	PG2T390H	I _{CCIOQ} +50	mA	V _{CCIO} 上电启动的最小电流（每 bank）
I _{CCAMIN}	PG2T390H	I _{CCAQ} +80	mA	V _{CCA} 上电启动的最小电流

2.8. ESD（HBM，CDM），Latch Up指标

表 2-9 ESD、Latch-Up指标

标识	值	单位	说明
HBM_IO	±900	V	除配置电源 IO(V _{CCIO_CFG})和配置专用输入 I/O 外的所有 I/O 和电源 IO
HBM_CFG	±400	V	配置电源 V _{CCIO_CFG} 和配置专用输入 I/O
CDM_IO	±300	V	除 HSST 专用 IO 外的所有 I/O
CDM_SERDES	±200	V	HSST 专用 IO
Latch-up	±100	mA	电流注入方式

详细I/O分类请参考《PK05001_PG2T390H_FFBG900》

2.9. eFUSE编程条件

表 2-10 eFUSE编程条件

标识	最小值	最大值	单位	说明
I _{eFUSE}		188	mA	eFUSE 编程时所需的 V _{CCA} 电流
T _j	15	100	°C	

3. 典型工作条件下的直流特性

3.1. 上电、下电

3.1.1. 上电、下电要求

- (1) 上电时V_{CC}必须先于V_{CCA}，不允许V_{CCA}先于V_{CC}，下电时V_{CC}不早于V_{CCA}。
- (2) 在V_{CCIO}先于V_{CCA}上电或V_{CCA}先于V_{CCIO}下电的情况下，必须满足 (V_{CCIO}-V_{CCA})>2V的持续时间小于100毫秒。

注意：禁止在V_{CC}未上电的情况下V_{CCIO}、V_{CCA}上电，禁止V_{CC}下电后V_{CCIO}、V_{CCA}处上电状态，否则对器件可能有损伤。

3.1.2. 逻辑上电、下电顺序

- (1) 确保I/O在上电过程中处于三态同时达到最小的上电电流的上电顺序：

$$V_{CC}/V_{CC_HP}, V_{CC_DRM}, V_{CCA}/V_{CCA_IO_G0}, V_{CCIO}。$$

- (2) 推荐下电顺序为上电顺序的反方向。

- (3) 推荐上电时序如图3-1所示，按(1)上电顺序，各电源电压在达到典型电压值前需满足

$$V_{CC}/V_{CC_HP} \geq V_{CC_DRM} \geq V_{CCA}/V_{CCA_IO_G0} \geq V_{CCIO}。$$

(4) 推荐下电时序如图3-2所示，按(2)下电顺序，各电源电压在下电到零电压前需满足：

$$V_{CCIO} \leq V_{CCA}/V_{CCA_IO_G0} \leq V_{CC_DRM} \leq V_{CC}/V_{CC_HP}$$

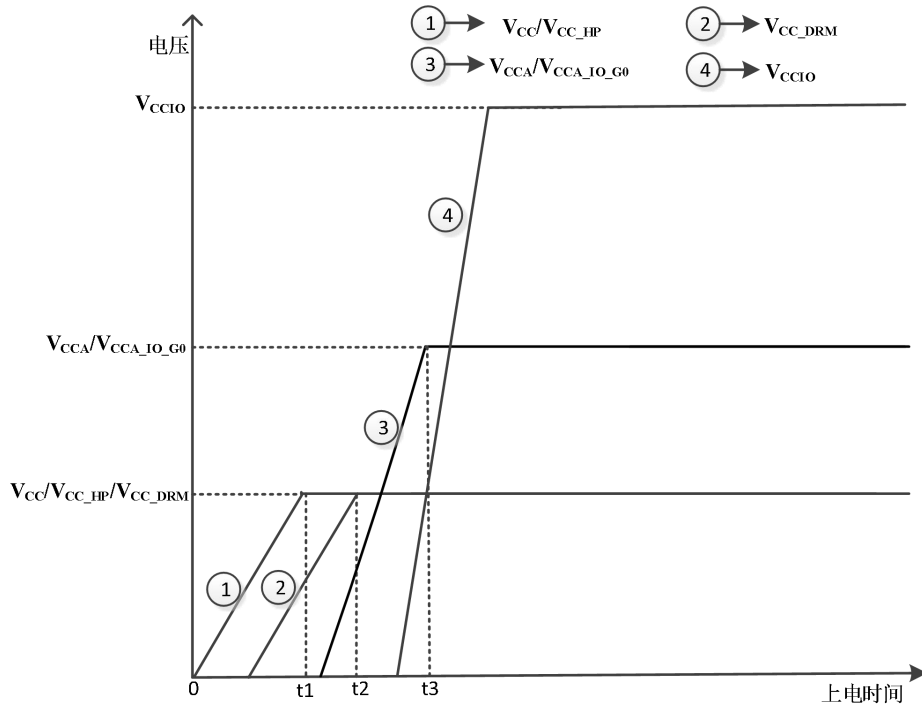


图 3-1 上电时序图

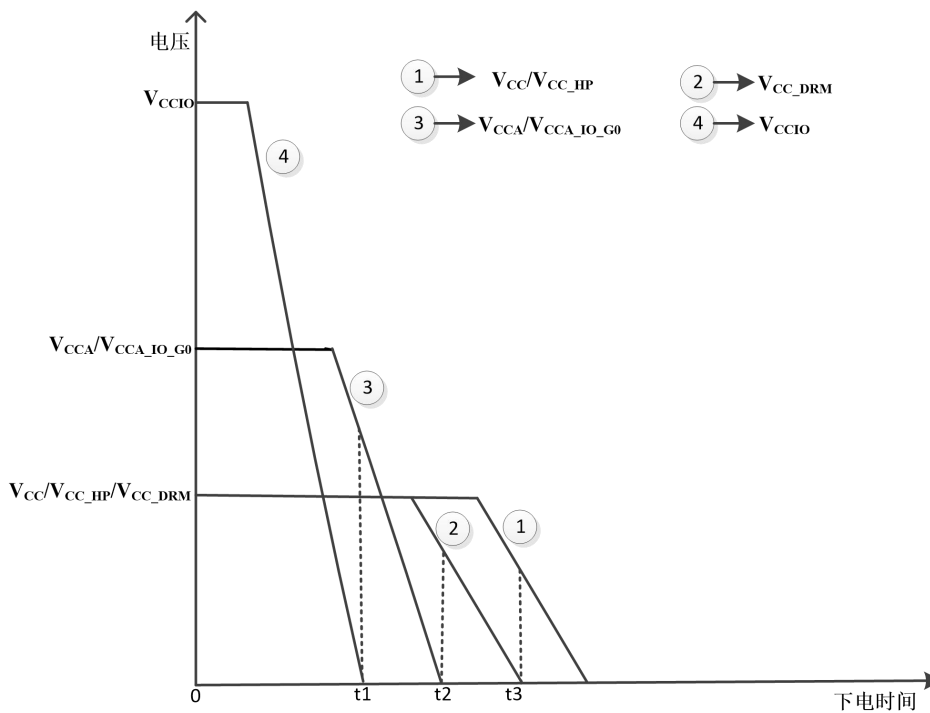


图 3-2 下电时序图

3.1.3. HSST电源上电、下电顺序

(1) 确保初始化完成后（INIT_FLAG_N信号拉高后）才可以对HSST上电，推荐的上电顺序

依次为：HSSTAVCC, HSSTAVCCPLL, HSSTVCCA进行上电,确保上电过程电流最小。
如图3-3所示。

(2) 推荐下电顺序为上电顺序的方向。

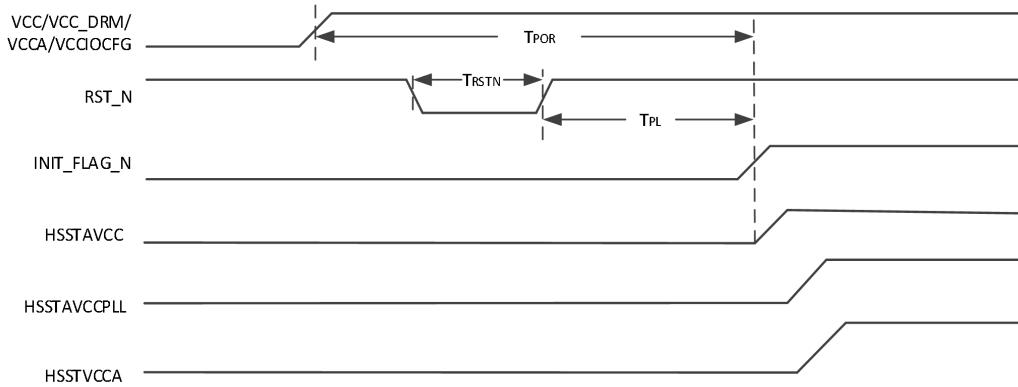


图 3-3 HSST上电顺序

3.1.4. 整体上电、下电顺序

- (1) 推荐整体上电顺序按照先逻辑上电（具体见图 3-1）再HSST电源上电（具体见图 3-3）。
- (2) 推荐下电顺序与推荐上电的顺序相反。可以支持同时下电，但热插拔功能不保证。

3.1.5. 支持热插拔的上电、下电要求

(1) 热插拔的规格

表 3-1 热插拔规格

参数符号	参数描述	最大值
$I_{DK} (DC)$	DC 电流,每个I/O	1mA
$I_{DK} (AC)$	AC 电流,每个I/O	1mA

- (2) 需满足3.1.2上电和下电要求。
- (3) I2C总线使用场景上拉电阻值应在1K~2K。
- (4) BANK L1、L2、L3、L6、L7的HR I/O支持热插拔，其他IO不支持热插拔。
- (5) 具体的热插拔情况见热插拔报告。

3.2. IO输入输出直流特性 (I/O Input & Output DC)

3.2.1. HR I/O直流特性

HR BANK单端I/O电平标准输入输出电压范围如下表

表 3-2 HR BANK单端IO电平标准输入输出电压范围

标准	$V_{IL}^{(1)}$		$V_{IH}^{(2)}$		$V_{OL}^{(3)}$ Max (v)	$V_{OH}^{(4)}$ Min (v)	I _{OL} (mA)	I _{OH} (mA)
	Min(v)	Max(v)	Min(v)	Max(v)				
PCI33	-0.3	0.3V _{CCIO}	0.5V _{CCIO}	V _{CCIO} +0.5	0.1V _{CCIO}	0.9V _{CCIO}	1.5	-0.5
LVC MOS33	-0.3	0.8	2.0	3.465	0.4	V _{CCIO} -0.4	4 8 12 16	-4 -8 -12 -16
LVTTL33	-0.3	0.8	2.0	3.465	0.4	2.4	4 8 12 16 24	-4 -8 -12 -16 -24
LVC MOS25	-0.3	0.7	1.7	V _{CCIO} +0.3	0.4	V _{CCIO} -0.4	4 8 12 16	-4 -8 -12 -16
LVC MOS18	-0.3	0.35V _{CCIO}	0.65V _{CCIO}	V _{CCIO} +0.3	0.45	V _{CCIO} -0.45	4 8 12 16 24	-4 -8 -12 -16 -24
LVC MOS15	-0.3	0.35V _{CCIO}	0.65V _{CCIO}	V _{CCIO} +0.3	0.4	V _{CCIO} -0.4	4 8 12 16	-4 -8 -12 -16
LVC MOS12	-0.3	0.35V _{CCIO}	0.65V _{CCIO}	V _{CCIO} +0.3	0.4	V _{CCIO} -0.4	4 8 12	-4 -8 -12
SSTL18 I	-0.3	V _{ref} -0.125	V _{ref} +0.125	V _{CCIO} +0.3	0.5V _{CCIO} -0.47	0.5V _{CCIO} +0.47	8	-8
SSTL18 II	-0.3	V _{ref} -0.125	V _{ref} +0.125	V _{CCIO} +0.3	0.5V _{CCIO} -0.6	0.5V _{CCIO} +0.6	13.4	-13.4
SSTL15 I	-0.3	V _{ref} -0.10	V _{ref} +0.10	V _{CCIO} +0.3	0.5V _{CCIO} -0.175	0.5V _{CCIO} +0.175	8.9	-8.9
SSTL15 II	-0.3	V _{ref} -0.10	V _{ref} +0.10	V _{CCIO} +0.3	0.5V _{CCIO} -0.175	0.5V _{CCIO} +0.175	13	-13
HSUL12	-0.3	V _{ref} -0.13	V _{ref} +0.13	V _{CCIO} +0.3	0.2V _{CCIO}	0.8V _{CCIO}	0.1	-0.1
HSTL18 I	-0.3	V _{ref} -0.1	V _{ref} +0.1	V _{CCIO} +0.3	0.40	V _{CCIO} -0.40	8	-8
HSTL18 II	-0.3	V _{ref} -0.1	V _{ref} +0.1	V _{CCIO} +0.3	0.40	V _{CCIO} -0.40	16	-16
HSTL15 I	-0.3	V _{ref} -0.1	V _{ref} +0.1	V _{CCIO} +0.3	0.40	V _{CCIO} -0.40	8	-8
HSTL15 II	-0.3	V _{ref} -0.1	V _{ref} +0.1	V _{CCIO} +0.3	0.40	V _{CCIO} -0.40	16	-16
SSTL135 I	-0.3	V _{ref} -0.1	V _{ref} +0.1	V _{CCIO} +0.3	0.5V _{CCIO} -0.15	0.5V _{CCIO} +0.15	8.9	-8.9
SSTL135 II	-0.3	V _{ref} -0.1	V _{ref} +0.1	V _{CCIO} +0.3	0.5V _{CCIO} -0.15	0.5V _{CCIO} +0.15	13	-13
LPDDR	-0.3	0.2V _{CCIO}	0.8V _{CCIO}	V _{CCIO} +0.3	0.1V _{CCIO}	0.9V _{CCIO}	0.1	-0.1

注：1. V_{IL} 为单端被识别为低电平的输入电压。

2. V_{IH} 为单端被识别为高电平的输入电压。

3. V_{OL} 为单端低电平输出的电压。

4. V_{OH} 为单端高电平输出的电压。

差分I/O电平标准输入输出电压范围如下表

表 3-3 HR BANK差分输入输出标准的参数要求

I/O Standard	Vicm ⁽¹⁾ (V)			Vid ⁽²⁾ (V)			Vocm ⁽³⁾ (V)			Vod ⁽⁴⁾ (V)		
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max
LVDS	1.0	1.2	1.425	0.1	0.35	0.6	1	1.25	1.425	0.25	0.35	0.6
BLVDS	0.3	1.2	1.425	0.1	-	-	-	1.25	-	-		
MINI_LVDS	0.3	1.2	V _{CCA_IO_G0}	0.2	0.4	0.6	1	1.2	1.4	0.3	0.40	0.6
PPDS	0.2	0.9	V _{CCA_IO_G0}	0.1	0.25	0.4	0.5	1.0	1.4	0.1	0.3	0.45
RSDS	0.3	0.9	1.5	0.1	0.35	0.6	1	1.2	1.4	0.1	0.35	0.6
TMDS	2.7	2.965	3.23	0.15	0.675	1.2	V _{CCIO} -0.405	V _{CCIO} -0.3	V _{CCIO} -0.19	0.4	0.6	0.8

注：1. Vicm为输入共模电压。

2. Vid为输入差模电压。

3. Vocm为输出共模电压。

4. Vod为输出差模电压。

表 3-4 HR BANK类差分输入输出标准的参数要求

I/O 标准	Vid(V)	Vicm (V)			V _{OL} (V)	V _{OH} (V)	I _{OL} (mA)	I _{OH} (mA)
	min	min	typ	max	max	min	max	min
HSUL12D	0.1	0.3	0.6	0.85	0.2V _{CCIO}	0.8V _{CCIO}	0.1	-0.1
SSTL135D_I	0.1	0.3	0.675	1	0.5V _{CCIO} -0.15	0.5V _{CCIO} +0.15	8.9	-8.9
SSTL135D_II	0.1	0.3	0.675	1	0.5V _{CCIO} -0.15	0.5V _{CCIO} +0.15	13	-13
HSTL15D_I	0.1	0.3	0.75	1.125	0.4	V _{CCIO} -0.4	8	-8
HSTL15D_II	0.1	0.3	0.75	1.125	0.4	V _{CCIO} -0.4	16	-16
HSTL18D_I	0.1	0.3	0.9	1.425	0.4	V _{CCIO} -0.4	8	-8
HSTL18D_II	0.1	0.3	0.9	1.425	0.4	V _{CCIO} -0.4	16	-16
LPDDR	0.1	0.3	0.9	1.425	0.1V _{CCIO}	0.9V _{CCIO}	0.1	-0.1
SSTL15D_I	0.1	0.3	0.75	1.125	0.5V _{CCIO} -0.175	0.5V _{CCIO} +0.175	0.89	-0.89
SSTL15D_II	0.1	0.3	0.75	1.125	0.5V _{CCIO} -0.175	0.5V _{CCIO} +0.175	13	-13
SSTL18D_I	0.1	0.3	0.9	1.425	0.5V _{CCIO} -0.47	0.5V _{CCIO} +0.47	8	-8
SSTL18D_II	0.1	0.3	0.9	1.425	0.5V _{CCIO} -0.6	0.5V _{CCIO} +0.6	13.4	-13.4

3.2.2. HP I/O直流特性

HP BANK单端I/O电平标准输入输出电压范围如下表

表 3-5 HP BANK单端I/O电平标准输入输出电压范围

标准	V _{IL}		V _{IH}		V _{OL} Max (v)	V _{OH} Min (v)	I _{OL} (mA)	I _{OH} (mA)
	Min (v)	Max (v)	Min (v)	Max (v)				
LVCMOS18	-0.3	0.35V _{CCIO}	0.65V _{CCIO}	V _{CCIO} +0.3	0.45	V _{CCIO} -0.45	2	-2
							4	-4
							6	-6
							8	-8
							12	-12
16	-16							
LVCMOS15	-0.3	0.35V _{CCIO}	0.65V _{CCIO}	V _{CCIO} +0.3	0.4	V _{CCIO} -0.4	2	-2
							4	-4
							6	-6

标准	V _{IL}		V _{IH}		V _{OL} Max (v)	V _{OH} Min (v)	I _{OL} (mA)	I _{OH} (mA)
	Min (v)	Max (v)	Min (v)	Max (v)				
							8 12 16	-8 -12 -16
LVC MOS12	-0.3	0.35V _{CCIO}	0.65V _{CCIO}	V _{CCIO} +0.3	0.4	V _{CCIO} -0.4	2 4 6 8	-2 -4 -6 -8
SSTL18 I	-0.3	V _{ref} -0.125	V _{ref} +0.125	V _{CCIO} +0.3	0.5V _{CCIO} -0.47	0.5V _{CCIO} +0.47	8	-8
SSTL18 II	-0.3	V _{ref} -0.125	V _{ref} +0.125	V _{CCIO} +0.3	0.5V _{CCIO} -0.55	0.5V _{CCIO} +0.55	13.4	-13.4
SSTL15 I	-0.3	V _{ref} -0.10	V _{ref} +0.10	V _{CCIO} +0.3	0.5V _{CCIO} -0.175	0.5V _{CCIO} +0.175	8.9	-8.9
SSTL15 II	-0.3	V _{ref} -0.10	V _{ref} +0.10	V _{CCIO} +0.3	0.5V _{CCIO} -0.175	0.5V _{CCIO} +0.175	13	-13
HSUL12	-0.3	V _{ref} -0.13	V _{ref} +0.13	V _{CCIO} +0.3	0.2V _{CCIO}	0.8V _{CCIO}	0.1	-0.1
HSTL18 I	-0.3	V _{ref} -0.1	V _{ref} +0.1	V _{CCIO} +0.3	0.40	V _{CCIO} -0.40	8	-8
HSTL18 II	-0.3	V _{ref} -0.1	V _{ref} +0.1	V _{CCIO} +0.3	0.40	V _{CCIO} -0.40	16	-16
HSTL15 I	-0.3	V _{ref} -0.1	V _{ref} +0.1	V _{CCIO} +0.3	0.40	V _{CCIO} -0.40	8	-8
HSTL15 II	-0.3	V _{ref} -0.1	V _{ref} +0.1	V _{CCIO} +0.3	0.40	V _{CCIO} -0.40	16	-16
SSTL135 I	-0.3	V _{ref} -0.1	V _{ref} +0.1	V _{CCIO} +0.3	0.5V _{CCIO} -0.15	0.5V _{CCIO} +0.15	8.9	-8.9
SSTL135 II	-0.3	V _{ref} -0.1	V _{ref} +0.1	V _{CCIO} +0.3	0.5V _{CCIO} -0.15	0.5V _{CCIO} +0.15	13	-13
POD12	-0.3	V _{ref} -0.068	V _{ref} +0.068	V _{CCIO} +0.3	/	/	/	/
SSTL12	-0.3	V _{ref} -0.1	V _{ref} +0.1	V _{CCIO} +0.3	0.5V _{CCIO} -0.15	0.5V _{CCIO} +0.15	14.25	-14.25
HSTL I 12	-0.3	V _{ref} -0.1	V _{ref} +0.1	V _{CCIO} +0.3	25%V _{CCIO}	75%V _{CCIO}	6.3	-6.3

HP BANK差分I/O电平标准输入输出电压范围如下表

表 3-6 HP BANK 差分输入输出标准的参数要求

I/O Standard	Vicm(V)			Vid(V)			Vocm(V)			Vod(V)		
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max
LVDS	1.0	1.2	1.425	0.10	0.35	0.6	1.0	1.18	1.425	0.25	0.35	0.60

表 3-7 HP BANK类差分输入输出标准的参数要求

IO 标准	Vid(V)	Vicm (V)			V _{OL} (V)	V _{OH} (V)	I _{OL} (mA)	I _{OH} (mA)
	min	min	typ	max	max	min	max	min
HSUL12D	0.1	0.3	0.6	0.85	0.2V _{CCIO}	0.8V _{CCIO}	0.1	-0.1
SSTL135D_I	0.1	0.3	0.675	1	0.5V _{CCIO} -0.15	0.5V _{CCIO} +0.15	8.9	-8.9
SSTL135D_II	0.1	0.3	0.675	1	0.5V _{CCIO} -0.15	0.5V _{CCIO} +0.15	13	-13
HSTL15D_I	0.1	0.3	0.75	1.125	0.4	V _{CCIO} -0.4	8	-8
HSTL15D_II	0.1	0.3	0.75	1.125	0.4	V _{CCIO} -0.4	16	-16
HSTL18D_I	0.1	0.3	0.9	1.425	0.4	V _{CCIO} -0.4	8	-8
HSTL18D_II	0.1	0.3	0.9	1.425	0.4	V _{CCIO} -0.4	16	-16
SSTL15D_I	0.1	0.3	0.75	1.125	0.5V _{CCIO} -0.175	0.5V _{CCIO} +0.175	0.89	-0.89
SSTL15D_II	0.1	0.3	0.75	1.125	0.5V _{CCIO} -0.175	0.5V _{CCIO} +0.175	13	-13
SSTL18D_I	0.1	0.3	0.9	1.425	0.5V _{CCIO} -0.47	V _{CCIO} +0.47	8	-8
SSTL18D_II	0.1	0.3	0.9	1.425	0.5V _{CCIO} -0.6	V _{CCIO} +0.6	13.4	-13.4
POD12D	0.16	0.76	0.84	0.92	/	/	/	/
SSTL12D	0.1	0.3	0.6	0.85	0.5V _{CCIO} -0.15	0.5V _{CCIO} +0.15	14.25	-14.25

4. 典型工作条件下的交流特性

本章主要列出了FPGA各逻辑单元在典型工作条件下的交流特性。

4.1. 可配置逻辑模块CLM（Configurable Logic Module）交流特性参数

表 4-1 CLM交流特性

延时时间			单位	参数说明
-5	-6	-7		
逻辑延时				
TBD	0.216	TBD	ns,max	LUT6 输入 Ax/Bx/Cx/Dx 到 Y0/Y1/Y2/Y3 delay
TBD	0.436	TBD	ns,max	LUT6 输入 Ax/Bx/Cx/Dx 到 CR0/CR1 的 delay (LUT7)
TBD	0.367	TBD	ns,max	LUT6 输入 Ax/Bx/Cx/Dx 到 CR2 到 Y1(LUT8)的 delay
TBD	0.321	TBD	ns,max	LUT input Ax 到 CYA(CR0)的 delay
TBD	0.403	TBD	ns,max	LUT input Bx 到 CYB(CR1)的 delay
TBD	0.326	TBD	ns,max	LUT input Cx 到 CYC(CR2)的 delay
TBD	0.386	TBD	ns,max	LUT input Dx 到 CYD(CR3)的 delay
TBD	0.092	TBD	ns,max	CIN 输入到 COUT 的 delay
时序参数				
TBD	0.198	TBD	ns,max	CLK 输入相对于 Q0/Q1/Q2/Q3 的 TCO
TBD	0.218	TBD	ns,max	CLK 输入相对于 CR0/CR1/CR2/CR3 的 TCO
TBD	-0.245/0.269	TBD	ns,min	Ax/Bx/Cx/Dx 相对于 DFF 的 setup/hold
TBD	-0.245/0.269	TBD	ns,min	M 相对于 DFF 的 setup/hold
TBD	0.231/-0.066	TBD	ns,min	CE 相对于 DFF 的 setup/hold
TBD	0.231/-0.065	TBD	ns,min	RS 相对于 DFF 的 setup/hold
分布式 RAM 时序参数				
TBD	0.430	TBD	ns,max	CLK -> Y0/Y1/Y2/Y3 mem read delay
TBD	0.534	TBD	ns,max	CLK -> CR0/CR1/CR2/CR3 mem read delay
TBD	-0.245/0.269	TBD	ns,min	CLK -> WE timing check, setup/hold
TBD	-0.245/0.269	TBD	ns,min	CLK -> An address timing check, setup/hold
TBD	-0.245/0.269	TBD	ns,min	CLK -> AD/BD/CD/DD data timing check,setup/hold

注：具体使用场景的时序参数以软件时序报告为准

4.2. 专用RAM模块DRM（Dedicated RAM Module）交流特性参数

表 4-2 DRM交流特性

类别	数值			单位	交流特性参数说明
	-5	-6	-7		
T _{co_18K}	TBD	1.426	TBD	ns,max	CLKA/CLKB->QA/QB (输出寄存器不使能, 18K模式)
T _{co_18K_reg}	TBD	0.553	TBD	ns,max	CLKA/CLKB->QA/QB (输出寄存器使能, 18K模式)
T _{co_36K}	TBD	1.426	TBD	ns,max	CLKA/CLKB->QA/QB (输出寄存器不使能, 36K模式)
T _{co_36K_reg}	TBD	0.553	TBD	ns,max	CLKA/CLKB->QA/QB (输出寄存器使能, 36K模式)

类别	数值			单位	交流特性参数说明
	-5	-6	-7		
T _{co_ecc}	TBD	1.585	TBD	ns,max	CLKB->QA/QB (输出寄存器不使能, ECC模式)
T _{co_ecc_reg}	TBD	0.652	TBD	ns,max	CLKB->QA/QB (输出寄存器使能, ECC模式)
T _{co_ecc_err}	TBD	0.562	TBD	ns,max	CLKB->ECC_S/DBITERR (输出寄存器使能, ECC模式)
T _{co_flag_full}	TBD	0.493	TBD	ns,max	CLKA->FULL(ALMOST_FULL) (18K/36K FIFO模式)
T _{co_flag_empty}	TBD	0.509	TBD	ns,max	CLKB->EMPTY(ALMOST_EMPTY) (18K/36K FIFO模式)
T _{co_ecc_parity}	TBD	0.542	TBD	ns,max	CLKA->ECC_PARITY (ECC 编码模式)
T _{co_ecc_rdaddr}	TBD	0.570	TBD	ns,max	CLKA->ECC_RDADDR (输出寄存器不使能, ECC模式)
T _{co_ecc_rdaddr_reg}	TBD	0.597	TBD	ns,max	CLKA->ECC_RDADDR (输出寄存器使能, ECC模式)
T _{su_18K_ad/} T _{hd_18K_ad}	TBD	0.149/0.217	TBD	ns,min	地址输入 Setup/Hold time (18K模式)
T _{su_18K_d/} T _{hd_18K_d}	TBD	0.184/0.1	TBD	ns,min	数据输入 Setup/Hold time (18K模式)
T _{su_18K_ce/} T _{hd_18K_ce}	TBD	0.176/0.081	TBD	ns,min	CE 输入 Setup/Hold time (18K模式)
T _{su_18K_we/} T _{hd_18K_we}	TBD	0.079/0.108	TBD	ns,min	WE 输入 Setup/Hold time (18K模式)
T _{su_18K_be/} T _{hd_18K_be}	TBD	0.027/0.066	TBD	ns,min	BE 输入 Setup/Hold time (18K模式)
T _{su_18K_oe/} T _{hd_18K_oe}	TBD	0.046/0.163	TBD	ns,min	OCE 输入 Setup/Hold time (18K模式)
T _{su_18K_rst/} T _{hd_18K_rst}	TBD	0.027/0.170	TBD	ns,min	同步复位输入 Setup/Hold time (18K模式)
T _{su_36K_ad/} T _{hd_36K_ad}	TBD	0.127/0.217	TBD	ns,min	地址输入 Setup/Hold time (36K模式)
T _{su_36K_d/} T _{hd_36K_d}	TBD	0.184/0.11	TBD	ns,min	数据输入 Setup/Hold time (36K模式)
T _{su_36K_ce/} T _{hd_36K_ce}	TBD	0.147/0.081	TBD	ns,min	CE 输入 Setup/Hold time (36K模式)
T _{su_36K_we/} T _{hd_36K_we}	TBD	0.027/0.108	TBD	ns,min	WE 输入 Setup/Hold time (36K模式)
T _{su_36K_be/} T _{hd_36K_be}	TBD	0.082/0.066	TBD	ns,min	BWE 输入 Setup/Hold time (36K模式)
T _{su_36K_oe/} T _{hd_36K_oe}	TBD	-0.008/0.163	TBD	ns,min	OCE 输入 Setup/Hold time (36K模式)
T _{su_36K_rst/} T _{hd_36K_rst}	TBD	0.013/0.170	TBD	ns,min	同步复位输入 Setup/Hold time (36K模式)
T _{su_ecc_d/} T _{hd_ecc_d}	TBD	0.116/0.11	TBD	ns,min	数据输入 Setup/Hold time (ECC模式)
T _{su_fifo_wctl/} T _{hd_fifo_wctl}	TBD	0.068/0.075	TBD	ns,min	WREN 输入(Setup/Hold time) (18K/36K FIFO模式)

类别	数值			单位	交流特性参数说明
	-5	-6	-7		
T _{su_fifo_rctl} / T _{hd_fifo_rctl}	TBD	0.153/0.058	TBD	ns,min	RDEN 输入(Setup/Hold time (18K/36K FIFO模式))
T _{su_ecc_injerr} / T _{hd_ecc_injerr}	TBD	0.222/0.017	TBD	ns,min	INJECT_S/DBITERR 输入 Setup/Hold time(ECC 模式)
T _{mpw_norm}	TBD	0.846	TBD	ns,min	CLKA/CLKB MPW (NW/TW 模式)
T _{mpw_rbw}	TBD	0.969	TBD	ns,min	CLKA/CLKB MPW (RBW 模式)
T _{mpw_fifo}	TBD	0.846	TBD	ns,min	CLKA/CLKB MPW (FIFO 模式)
T _{mpw_ecc}	TBD	0.972	TBD	ns,min	CLKA/CLKB MPW (ECC 模式)

注：具体使用场景的时序参数以软件时序报告为准

4.3. 算术处理单元APM (Arithmetic Process Module) 交流特性参数

表 4-3 APM交流特性

交流特性参数说明	Pre-dder	Multiplier	Post-adder	数值			单位
				-5	-6	-7	
数据/控制 Pin 到输入 register clk 的 setup 和 hold 时间							
H→preadd unit register CLK setup/hold	Yes	NA	NA	TBD	1.342/-0.175	TBD	ns
X→preadd unit register CLK setup/hold	Yes	NA	NA	TBD	1.383/-0.205	TBD	ns
X→input unit register CLK setup/hold	NA	NA	NA	TBD	0.477/-0.061	TBD	ns
Y→input unit register CLK setup/hold	NA	NA	NA	TBD	0.322/-0.072	TBD	ns
H→input unit register CLK setup/hold	NA	NA	NA	TBD	0.381/-0.049	TBD	ns
Z→input unit register CLK setup/hold	NA	NA	NA	TBD	0.215/-0.028	TBD	ns
INCTRL→input unit register CLK setup/hold	NA	NA	NA	TBD	0.306/-0.061	TBD	ns
MODEY→input unit register CLK setup/hold	NA	NA	NA	TBD	0.23/-0.068	TBD	ns
MODEZ→input unit register CLK setup/hold	NA	NA	NA	TBD	0.364/-0.077	TBD	ns
数据 Pin 到 pipeline register clk 的 setup 和 hold 时间							
Y → Multiplier unit register CLK setup/hold	NA	Yes	No	TBD	1.434/-0.299	TBD	ns
X → Multiplier unit register CLK setup/hold	Yes	Yes	No	TBD	2.462/-0.415	TBD	ns
X → Multiplier unit register CLK setup/hold	No	Yes	No	TBD	1.562/-0.288	TBD	ns
H-> Multiplier unit register CLK setup/hold	Yes	Yes	No	TBD	2.422/-0.377	TBD	ns
数据/控制 Pin 到输出 register clk 的 setup 和 hold 时间							
Y → postadd unit register CLK setup/hold	NA	Yes	Yes	TBD	2.486/-0.563	TBD	ns
X → postadd unit register CLK setup/hold	No	Yes	Yes	TBD	2.625/-0.557	TBD	ns
X → postadd unit register CLK	Yes	Yes	Yes	TBD	3.530/-0.688	TBD	ns

交流特性参数说明	Pre- dder	Multiplier	Post-adder	数值			单 位
				-5	-6	-7	
setup/hold							
H → postadd unit register CLK setup/hold	Yes	Yes	Yes	TBD	3.490/-0.633	TBD	ns
Z → postadd unit register CLK setup/hold	NA	NA	Yes	TBD	1.196/-0.253	TBD	ns
Y → postadd unit register CLK setup/hold	NA	No	Yes	TBD	1.296/-0.339	TBD	ns
X → postadd unit register CLK setup/hold	No	No	Yes	TBD	1.387/-0.284	TBD	ns
PI → postadd unit register CLK setup/hold	NA	NA	Yes	TBD	0.908/-0.163	TBD	ns
从各级 register clk 到 APM 输出 Pin 时间							
postadd unit register CLK → P output	NA	NA	NA	TBD	0.470	TBD	ns
Multiplier unit register CLK → Poutput	NA	NA	Yes	TBD	1.606	TBD	ns
Multiplier unit register CLK → Poutput	NA	NA	No	TBD	0.496	TBD	ns
pretadd unit register CLK → DPO output	Yes	Yes	Yes	TBD	2.637	TBD	ns
Z input unit register CLK → DPO output	NA	NA	Yes	TBD	1.532	TBD	ns
从数据/控制 Pin 到 APM 输出 Pin 组合逻辑延时							
Y → Poutput	NA	Yes	No	TBD	1.833	TBD	ns
Y → Poutput	NA	Yes	Yes	TBD	2.840	TBD	ns
Y → Poutput	NA	No	Yes	TBD	1.653	TBD	ns
X → Poutput	No	Yes	No	TBD	1.960	TBD	ns
X → Poutput	Yes	Yes	No	TBD	2.718	TBD	ns
X → Poutput	Yes	Yes	Yes	TBD	3.735	TBD	ns
X → Poutput	No	No	Yes	TBD	1.745	TBD	ns
H → Poutput	Yes	Yes	No	TBD	2.803	TBD	ns
H → Poutput	Yes	Yes	Yes	TBD	3.805	TBD	ns
Z → Poutput	NA	NA	Yes	TBD	1.547	TBD	ns
PI → Poutput	NA	NA	Yes	TBD	1.323	TBD	ns

注：具体使用场景的时序参数以软件时序报告为准

4.4. GPLL交流特性参数

表 4-4 GPLL交流特性

指标	最小值	最大值	单位	说明
F_{IN}	10	800	MHz	输入时钟频率
F_{INJIT}	---	300	ps	输入时钟周期抖动 ($F_{IN} < 200\text{MHz}$)
	---	0.06	UI	输入时钟周期抖动 ($F_{IN} \geq 200\text{MHz}$)
F_{INDT}	10-49MHz: 25% 50-199MHz: 30% 200-399MHz: 35% 400-499MHz: 40% 500-800MHz: 45%			输入时钟占空比

指标	最小值	最大值	单位	说明
F _{PFD}	10	450	MHz	PFD工作频率范围
F _{VCO}	600	1200	MHz	VCO工作频率范围
F _{OUT}	4.69	800	MHz	输出时钟频率范围
F _{OUTCAS}	0.0366	800	MHz	输出级联频率范围
T _{PHO}	0.12		ns	静态相位失调
T _{OUTJIT}	180		ps	输出时钟周期抖动 (F _{OUT} ≥ 100MHz)
	0.018		UI	输出时钟周期抖动 (F _{OUT} < 100MHz)
T _{OUTDUTY}	50% ± 5%			输出时钟占空比精度 (50%情形)
F _{BW}	1	4	MHz	环路带宽
T _{LOCK}	---	200	us	锁定时间
F _{DPS_CLK}	0.01	450	MHz	动态相移时钟频率
T _{RST}	10	---	ns	复位信号宽度

4.5. PPLL交流特性参数

表 4-5 PPLL交流特性

指标	最小值	最大值	单位	说明
F _{IN}	19	800	MHz	输入时钟频率
F _{INJIT}	---	200	ps	输入时钟周期抖动 (F _{IN} < 200MHz)
	---	0.04	UI	输入时钟周期抖动 (F _{IN} ≥ 200MHz)
F _{INDT}	10-49MHz: 25% 50-199MHz: 30% 200-399MHz: 35% 400-499MHz: 40% 500-800MHz: 45%			输入时钟占空比
F _{PFD}	19	450	MHz	PFD工作频率范围
F _{VCO}	1330	2133	MHz	VCO工作频率范围
F _{OUT1}	10.39	2133	MHz	输出时钟频率范围 (CLKOUTPHY输出)
F _{OUT2}	10.39	800	MHz	输出时钟频率范围 (CLKOUT0等输出)
T _{PHO}	0.12		ns	静态相位失调
T _{OUTJIT}	180		ps	输出时钟周期抖动 (F _{OUT} ≥ 100MHz)
	0.018		UI	输出时钟周期抖动 (F _{OUT} < 100MHz)
T _{OUTDT}	50% ± 5%			输出时钟占空比精度 (50%情形)
F _{BW}	1	4	MHz	带宽
T _{LOCK}	---	120	us	锁定时间
T _{RST}	10	---	ns	复位信号宽度

4.6. DQS交流特性参数

DQS相位调整的单步相位偏移值如下表:

表 4-6 HR IO DQS交流特性

类别	速度等级	AC 交流特性参数描述			单位
		最小值	典型值	最大值	
DQS	-6	4	7	10	ps

表 4-7 HP IO DQS交流特性

类别	速度等级	交流特性参数描述			单位
		最小值	典型值	最大值	
DQS	-6	2.5	5.5	8.5	ps

4.7. 全局时钟网络（Global Clock Network）交流特性参数

表 4-8 全局时钟网络交流特性

名称	最大频率	单位	说明
	-6		
GLOBAL CLK	710	MHz	全局时钟网络

4.8. 区域时钟网络（Regional Clock Network）交流特性参数

表 4-9 区域时钟网络交流特性

名称	最大频率	单位	说明
	-6		
REGIONAL CLK	540	MHz	区域时钟网络

注：最大输入频率650 MHz

4.9. IO时钟网络（IO Clock Network）交流特性参数

表 4-10 IO时钟网络交流特性

名称	最大频率	单位	说明
	-6		
IO CLK	800	MHz	IO时钟网络

4.10. 配置和编程（Configuration and Programming）交流特性参数

4.10.1. Power-up Timing特性

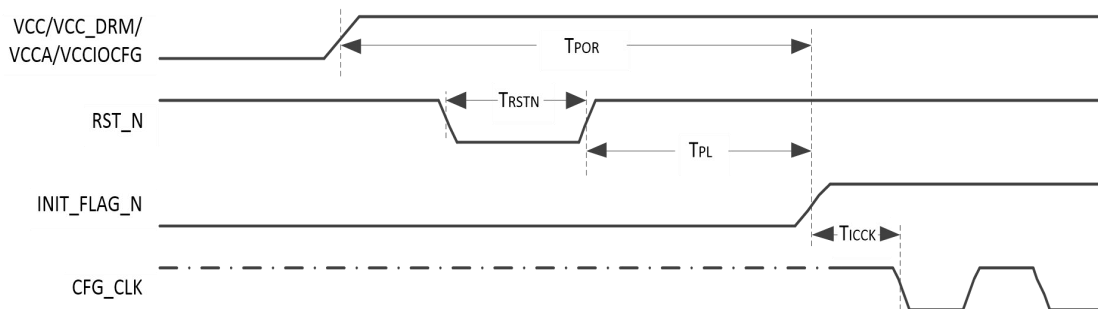


图 4-1 器件Power-up Timing特性

表 4-11 Power-up Timing特性参数

名称	器件	数值	单位	说明
T _P L	PG2T390H	34	ms, Max	Program Latency
T _P OR		30	ms, Min	Power-on-Reset
		94	ms, Max	
T _I CCK		400	ns, Min	CFG_CLK输出延时
T _R STN		240	ns, Min	RST_N低脉冲宽度

注：详细描述参考《UG050005_Titan2系列FPGA配置（Configuration）用户指南》。

4.10.2. 各下载模式交流特性

表 4-12 Titan2系列FPGA支持的各下载模式的交流特性

接口	描述	数值	属性
JTAG	TCK频率	50M	最大
	TCK占空比	45%/55%	最小/最大
	TCK高脉宽	10ns	最小
	TCK低脉宽	10ns	最小
	TMS/TDI建立时间（TCK上升沿）	3.5ns	最小
	TMS/TDI保持时间（TCK上升沿）	1.5ns	最小
	TCK下降沿到TDO输出有效	6ns	最大
Master SPI模式	CFG_CLK频率	40M	最大
	CFG_CLK频率（低速）	15.38M	最大
	CFG_CLK频率（菊花链）	25M	最大
	CFG_CLK频率初始值	2.99M	典型
	CFG_CLK占空比	45%/55%	最小/最大
	CFG_CLK频率偏差	50%	最大
	ECCLKIN频率	66M	最大
	ECCLKIN频率（低速）	33M	最大
	ECCLKIN占空比	45%/55%	最小/最大
	D[7:0]建立时间（CFG_CLK上升沿）	9.5ns	最小
	D[7:0]保持时间（CFG_CLK上升沿）	0ns	最小
	D[7:0]建立时间（CFG_CLK下降沿）	9.5ns	最小
	D[7:0]保持时间（CFG_CLK下降沿）	0ns	最小
	CFG_CLK下降沿到D[0]/D[4]输出有效	3.5ns	最大
	CFG_CLK下降沿到FCS_N/FCS2_N输出有效	4ns	最大
CFG_CLK下降沿到CSO_DOUT输出有效	3.5ns	最大	
Slave Serial	CFG_CLK频率	50M	最大
	CFG_CLK低脉宽	10ns	最小
	CFG_CLK高脉宽	10ns	最小
	DI建立时间（CFG_CLK上升沿）	3.5ns	最小
	DI保持时间（CFG_CLK上升沿）	0ns	最小
	DI建立时间（CFG_CLK下降沿）	3.5ns	最小
	DI保持时间（CFG_CLK下降沿）	0ns	最小
	CFG_CLK下降沿到CSO_DOUT输出有效	2ns/7ns	最小/最大
Slave Parallel	CFG_CLK频率	50M	最大
	CFG_CLK低脉宽	10ns	最小
	CFG_CLK高脉宽	10ns	最小
	D[31:0]建立时间（CFG_CLK上升沿）	5.5ns	最小
	D[31:0]保持时间（CFG_CLK上升沿）	0.5ns	最小
	CS_N/RWSEL建立时间（CFG_CLK上升沿）	4.5ns	最小
	CS_N/RWSEL保持时间（CFG_CLK上升沿）	0.5ns	最小

接口	描述	数值	属性
	CFG_CLK上升沿到D[31:0]输出有效	9ns	最大
	CS_N到CSO_DOUT输出延迟	8.5ns	最大
内部从并行接口	CLK频率	50M	最大
	CLK低脉宽	10ns	最小
	CLK高脉宽	10ns	最小
	CS_N/RW_SEL/DI[31:0]建立时间 (CLK上升沿)	2ns	最小
	CS_N/RW_SEL/DI[31:0]保持时间 (CLK上升沿)	1ns	最小
	CLK上升沿到DO[31:0]输出有效	4ns	最大
	CLK上升沿到RBCRC_VALID/ECC_VALID/DRCFG_OVER/PRCFG_OVER输出有效	2ns	最大
	CLK上升沿到RBCRC_ERR/ECC_INDEX/SERROR/DERROR/SEU_FRAME_ADDR/SEU_FRAME_NADDR/SEU_COLUMN_ADDR/SEU_COLUMN_NADDR/SEU_REGION_ADDR/SEU_REGION_NADDR/DRCFG_ERR/PRCFG_ERR输出有效	0	最大

4.11. IOB交流特性参数

IOB交流特性参数如下表所示，其中DO=>PAD为从IOB端口DO经过OBUF到PAD的延时；PAD=>DIN为从PAD经过IBUF到IOB端口DIN的延时。

表 4-13 IOB High Range(HR)交流特性参数

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
LVC MOS33 STRENGTH"4" MODE"F"	2.802	0.915
LVC MOS33 STRENGTH "4" MODE"S"	3.905	0.915
LVC MOS33 STRENGTH"8" MODE"F"	2.247	0.915
LVC MOS33 STRENGTH"8" MODE"S"	2.990	0.915
LVC MOS33 STRENGTH"12" MODE"F"	1.851	0.915
LVC MOS33 STRENGTH"12" MODE"S"	2.646	0.915
LVC MOS33 STRENGTH"16" MODE"F"	1.575	0.915
LVC MOS33 STRENGTH"16" MODE"S"	2.184	0.915
LV TTL33	2.802	0.915

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
STRENGTH"4" MODE"F"		
LVTTL33 STRENGTH"4" MODE"S"	3.905	0.915
LVTTL33 STRENGTH"8" MODE"F"	2.247	0.915
LVTTL33 STRENGTH"8" MODE"S"	2.990	0.915
LVTTL33 STRENGTH"12" MODE"F"	1.851	0.915
LVTTL33 STRENGTH"12" MODE"S"	2.646	0.915
LVTTL33 STRENGTH"16" MODE"F"	1.575	0.915
LVTTL33 STRENGTH"16" MODE"S"	2.184	0.915
LVTTL33 STRENGTH"24" MODE"F"	1.387	0.915
LVTTL33 STRENGTH"24" MODE"S"	2.096	0.915
LVCMOS25 STRENGTH"4" MODE"F"	2.482	0.984
LVCMOS25 STRENGTH"4" MODE"S"	3.425	0.984
LVCMOS25 STRENGTH"8" MODE"F"	1.935	0.984
LVCMOS25 STRENGTH"8" MODE"S"	2.695	0.984
LVCMOS25 STRENGTH"12" MODE"F"	1.677	0.984
LVCMOS25 STRENGTH"12" MODE"S"	2.384	0.984
LVCMOS25 STRENGTH"16" MODE"F"	1.546	0.984
LVCMOS25 STRENGTH"16" MODE"S"	2.147	0.984
LVCMOS18 STRENGTH"4"	1.755	1.091

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
MODE"F"		
LVCMOS18 STRENGTH"4" MODE"S"	2.094	1.091
LVCMOS18 STRENGTH"8" MODE"F"	1.163	1.091
LVCMOS18 STRENGTH"8" MODE"S"	1.414	1.091
LVCMOS18 STRENGTH"12" MODE"F"	0.982	1.091
LVCMOS18 STRENGTH"12" MODE"S"	1.054	1.091
LVCMOS18 STRENGTH"16" MODE"F"	0.879	1.091
LVCMOS18 STRENGTH"16" MODE"S"	1.074	1.091
LVCMOS18 STRENGTH"24" MODE"F"	0.901	1.091
LVCMOS18 STRENGTH"24" MODE"S"	1.031	1.091
LVCMOS15 STRENGTH"4" MODE"F"	1.648	1.196
LVCMOS15 STRENGTH"4" MODE"S"	1.995	1.196
LVCMOS15 STRENGTH"8" MODE"F"	1.099	1.196
LVCMOS15 STRENGTH"8" MODE"S"	1.330	1.196
LVCMOS15 STRENGTH"12" MODE"F"	0.860	1.196
LVCMOS15 STRENGTH"12" MODE"S"	1.011	1.196
LVCMOS15 STRENGTH"16" MODE"F"	0.879	1.196
LVCMOS15 STRENGTH"16" MODE"S"	1.003	1.196
LVCMOS12 STRENGTH"4" MODE"F"	1.559	1.357

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
LVC MOS12 STRENGTH"4" MODE"S"	1.900	1.357
LVC MOS12 STRENGTH"8" MODE"F"	1.041	1.357
LVC MOS12 STRENGTH"8" MODE"S"	1.267	1.357
LVC MOS12 STRENGTH"12" MODE"F"	0.999	1.357
LVC MOS12 STRENGTH"12" MODE"S"	1.133	1.357
SSTL18_I STRENGTH"8" MODE"F"	1.163	0.954
SSTL18_I STRENGTH"8" MODE"S"	1.414	0.954
SSTL18_I STRENGTH"13.4" MODE"F"	0.710	0.954
SSTL18_I STRENGTH"13.4" MODE"S"	0.819	0.954
SSTL18_II STRENGTH"8" MODE"F"	1.163	0.954
SSTL18_II STRENGTH"8" MODE"S"	1.414	0.954
SSTL18_II STRENGTH"13.4" MODE"F"	0.710	0.954
SSTL18_II STRENGTH"13.4" MODE"S"	0.819	0.954
SSTL18D_I STRENGTH"8" MODE"F"	1.163	0.954
SSTL18D_I STRENGTH"8" MODE"S"	1.414	0.954
SSTL18D_I STRENGTH"13.4" MODE"F"	0.710	0.954
SSTL18D_I STRENGTH"13.4" MODE"S"	0.819	0.954
SSTL18D_II STRENGTH"8" MODE"F"	1.163	0.954
SSTL18D_II	1.414	0.954

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
STRENGTH"8" MODE"S"		
SSTL18D_II STRENGTH"13.4" MODE"F"	0.710	0.954
SSTL18D_II STRENGTH"13.4" MODE"S"	0.819	0.954
HSTL18_I STRENGTH"8" MODE"F"	1.163	0.954
HSTL18_I STRENGTH"8" MODE"S"	1.414	0.954
HSTL18_I STRENGTH"16" MODE"F"	0.710	0.954
HSTL18_I STRENGTH"16" MODE"S"	0.819	0.954
HSTL18_II STRENGTH"8" MODE"F"	1.163	0.954
HSTL18_II STRENGTH"8" MODE"S"	1.414	0.954
HSTL18_II STRENGTH"16" MODE"F"	0.710	0.954
HSTL18_II STRENGTH"16" MODE"S"	0.819	0.954
HSTL18D_I STRENGTH"8" MODE"F"	1.163	0.954
HSTL18D_I STRENGTH"8" MODE"S"	1.414	0.954
HSTL18D_I STRENGTH"16" MODE"F"	0.710	0.954
HSTL18D_I STRENGTH"16" MODE"S"	0.819	0.954
HSTL18D_II STRENGTH"8" MODE"F"	1.163	0.954
HSTL18D_II STRENGTH"8" MODE"S"	1.414	0.954
HSTL18D_II STRENGTH"16" MODE"F"	0.710	0.954
HSTL18D_II STRENGTH"16"	0.819	0.954

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
MODE"S"		
SSTL15_I STRENGTH"8.9" MODE"F"	0.798	1.039
SSTL15_I STRENGTH"8.9" MODE"S"	0.942	1.039
SSTL15_I STRENGTH"13" MODE"F"	0.799	1.039
SSTL15_I STRENGTH"13" MODE"S"	0.956	1.039
SSTL15_II STRENGTH"8.9" MODE"F"	0.798	1.039
SSTL15_II STRENGTH"8.9" MODE"S"	0.942	1.039
SSTL15_II STRENGTH"13" MODE"F"	0.799	1.039
SSTL15_II STRENGTH"13" MODE"S"	0.956	1.039
SSTL15D_I STRENGTH"8.9" MODE"F"	0.798	1.039
SSTL15D_I STRENGTH"8.9" MODE"S"	0.942	1.039
SSTL15D_I STRENGTH"13" MODE"F"	0.799	1.039
SSTL15D_I STRENGTH"13" MODE"S"	0.956	1.039
SSTL15D_II STRENGTH"8.9" MODE"F"	0.798	1.039
SSTL15D_II STRENGTH"8.9" MODE"S"	0.942	1.039
SSTL15D_II STRENGTH"13" MODE"F"	0.799	1.039
SSTL15D_II STRENGTH"13" MODE"S"	0.956	1.039
HSTL15_I STRENGTH"8" MODE"F"	0.798	1.039
HSTL15_I STRENGTH"8" MODE"S"	0.942	1.039

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
HSTL15_I STRENGTH"16" MODE"F"	0.799	1.039
HSTL15_I STRENGTH"16" MODE"S"	0.956	1.039
HSTL15_II STRENGTH"8" MODE"F"	0.798	1.039
HSTL15_II STRENGTH"8" MODE"S"	0.942	1.039
HSTL15_II STRENGTH"16" MODE"F"	0.799	1.039
HSTL15_II STRENGTH"16" MODE"S"	0.956	1.039
HSTL15D_I STRENGTH"8" MODE"F"	0.798	1.039
HSTL15D_I STRENGTH"8" MODE"S"	0.942	1.039
HSTL15D_I STRENGTH"16" MODE"F"	0.799	1.039
HSTL15D_I STRENGTH"16" MODE"S"	0.956	1.039
HSTL15D_II STRENGTH"8" MODE"F"	0.798	1.039
HSTL15D_II STRENGTH"8" MODE"S"	0.942	1.039
HSTL15D_II STRENGTH"16" MODE"F"	0.799	1.039
HSTL15D_II STRENGTH"16" MODE"S"	0.956	1.039
SSTL135_I STRENGTH"8.9" MODE"F"	0.817	1.174
SSTL135_I STRENGTH"8.9" MODE"S"	0.964	1.174
SSTL135_I STRENGTH"13" MODE"F"	0.771	1.174
SSTL135_I STRENGTH"13" MODE"S"	0.924	1.174
SSTL135_II	0.817	1.174

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
STRENGTH"8.9" MODE"F"		
SSTL135_II STRENGTH"8.9" MODE"S"	0.964	1.174
SSTL135_II STRENGTH"13" MODE"F"	0.771	1.174
SSTL135_II STRENGTH"13" MODE"S"	0.924	1.174
SSTL135D_I STRENGTH"8.9" MODE"F"	0.817	1.174
SSTL135D_I STRENGTH"8.9" MODE"S"	0.964	1.174
SSTL135D_I STRENGTH"13" MODE"F"	0.771	1.174
SSTL135D_I STRENGTH"13" MODE"S"	0.924	1.174
SSTL135D_II STRENGTH"8.9" MODE"F"	0.817	1.174
SSTL135D_II STRENGTH"8.9" MODE"S"	0.964	1.174
SSTL135D_II STRENGTH"13" MODE"F"	0.771	1.174
SSTL135D_II STRENGTH"13" MODE"S"	0.924	1.174
LPDDR MODE"F"	1.041	1.357
LPDDR MODE"S"	1.267	1.357
HSUL12 MODE"F"	1.041	1.357
HSUL12 MODE"S"	1.267	1.357
TMDS	1.056	1.039
LVDS25	1.056	1.039
MINI-LVDS	1.056	1.039
RSDS	0.99	1.039
PPDS	0.99	1.039

注：具体使用场景的时序参数以软件时序报告为准

表 4-14 IOB High Performance(HP)交流特性参数

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
LVC MOS18 STRENGTH"2" MODE"F"	1.980	0.318
LVC MOS18 STRENGTH"2" MODE"M"	2.142	0.318

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
LVCMOS18 STRENGTH"2" MODE"S"	2.287	0.318
LVCMOS18 STRENGTH"4" MODE"F"	1.792	0.318
LVCMOS18 STRENGTH"4" MODE"M"	1.946	0.318
LVCMOS18 STRENGTH"4" MODE"S"	2.081	0.318
LVCMOS18 STRENGTH"6" MODE"F"	1.700	0.318
LVCMOS18 STRENGTH"6" MODE"M"	1.852	0.318
LVCMOS18 STRENGTH"6" MODE"S"	1.983	0.318
LVCMOS18 STRENGTH"8" MODE"F"	1.605	0.318
LVCMOS18 STRENGTH"8" MODE"M"	1.747	0.318
LVCMOS18 STRENGTH"8" MODE"S"	1.869	0.318
LVCMOS18 STRENGTH"12" MODE"F"	1.558	0.318
LVCMOS18 STRENGTH"12" MODE"M"	1.695	0.318
LVCMOS18 STRENGTH"12" MODE"S"	1.814	0.318
LVCMOS18 STRENGTH"16" MODE"F"	1.514	0.318
LVCMOS18 STRENGTH"16" MODE"M"	1.648	0.318
LVCMOS18 STRENGTH"16" MODE"S"	1.762	0.318
LVCMOS15 STRENGTH"2" MODE"F"	1.971	0.359
LVCMOS15 STRENGTH"2" MODE"M"	2.124	0.359
LVCMOS15 STRENGTH"2"	2.260	0.359

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
MODE"S"		
LVCMOS15 STRENGTH"4" MODE"F"	1.694	0.359
LVCMOS15 STRENGTH"4" MODE"M"	1.837	0.359
LVCMOS15 STRENGTH"4" MODE"S"	1.959	0.359
LVCMOS15 STRENGTH"6" MODE"F"	1.600	0.359
LVCMOS15 STRENGTH"6" MODE"M"	1.734	0.359
LVCMOS15 STRENGTH"6" MODE"S"	1.850	0.359
LVCMOS15 STRENGTH"8" MODE"F"	1.553	0.359
LVCMOS15 STRENGTH"8" MODE"M"	1.682	0.359
LVCMOS15 STRENGTH"8" MODE"S"	1.795	0.359
LVCMOS15 STRENGTH"12" MODE"F"	1.514	0.359
LVCMOS15 STRENGTH"12" MODE"M"	1.643	0.359
LVCMOS15 STRENGTH"12" MODE"S"	1.751	0.359
LVCMOS15 STRENGTH"16" MODE"F"	1.528	0.359
LVCMOS15 STRENGTH"16" MODE"M"	1.629	0.359
LVCMOS15 STRENGTH"16" MODE"S"	1.714	0.359
LVCMOS12 STRENGTH"2" MODE"F"	1.964	0.439
LVCMOS12 STRENGTH"2" MODE"M"	2.102	0.439
LVCMOS12 STRENGTH"2" MODE"S"	2.226	0.439
LVCMOS12	1.686	0.439

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
STRENGTH"4" MODE"F"		
LVCMOS12 STRENGTH"4" MODE"M"	1.817	0.439
LVCMOS12 STRENGTH"4" MODE"S"	1.932	0.439
LVCMOS12 STRENGTH"6" MODE"F"	1.629	0.439
LVCMOS12 STRENGTH"6" MODE"M"	1.754	0.439
LVCMOS12 STRENGTH"6" MODE"S"	1.879	0.439
LVCMOS12 STRENGTH"8" MODE"F"	1.566	0.439
LVCMOS12 STRENGTH"8" MODE"M"	1.691	0.439
LVCMOS12 STRENGTH"8" MODE"S"	1.819	0.439
SSTL18_I STRENGTH"8" MODE"F"	1.563	0.576
SSTL18_I STRENGTH"8" MODE"M"	1.650	0.576
SSTL18_I STRENGTH"8" MODE"S"	1.717	0.576
SSTL18_II STRENGTH"13.4" MODE"F"	1.515	0.576
SSTL18_II STRENGTH"13.4" MODE"M"	1.585	0.576
SSTL18_II STRENGTH"13.4" MODE"S"	1.635	0.576
SSTL18D_I STRENGTH"8" MODE"F"	1.563	0.376
SSTL18D_I STRENGTH"8" MODE"M"	1.650	0.376
SSTL18D_I STRENGTH"8" MODE"S"	1.717	0.376
SSTL18D_II STRENGTH"13.4" MODE"F"	1.515	0.376

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
SSTL18D_II STRENGTH"13.4" MODE"M"	1.585	0.376
SSTL18D_II STRENGTH"13.4" MODE"S"	1.635	0.376
HSTL18_I STRENGTH"8" MODE"F"	1.589	0.576
HSTL18_I STRENGTH"8" MODE"M"	1.678	0.576
HSTL18_I STRENGTH"8" MODE"S"	1.747	0.576
HSTL18_II STRENGTH"16" MODE"F"	1.515	0.576
HSTL18_II STRENGTH"16" MODE"M"	1.585	0.576
HSTL18_II STRENGTH"16" MODE"S"	1.635	0.576
HSTL18D_I STRENGTH"8" MODE"F"	1.589	0.63
HSTL18D_I STRENGTH"8" MODE"M"	1.678	0.376
HSTL18D_I STRENGTH"8" MODE"S"	1.747	0.376
HSTL18D_II STRENGTH"16" MODE"F"	1.515	0.376
HSTL18D_II STRENGTH"16" MODE"M"	1.585	0.376
HSTL18D_II STRENGTH"16" MODE"S"	1.635	0.376
SSTL15_I STRENGTH"8.9" MODE"F"	1.585	0.525
SSTL15_I STRENGTH"8.9" MODE"M"	1.669	0.525
SSTL15_I STRENGTH"8.9" MODE"S"	1.734	0.525
SSTL15_II STRENGTH"13" MODE"F"	1.549	0.525
SSTL15_II STRENGTH"13"	1.615	0.525

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
MODE"M"		
SSTL15_II STRENGTH"13" MODE"S"	1.667	0.525
SSTL15D_I STRENGTH"8.9" MODE"F"	1.585	0.374
SSTL15D_I STRENGTH"8.9" MODE"M"	1.669	0.374
SSTL15D_I STRENGTH"8.9" MODE"S"	1.734	0.374
SSTL15D_II STRENGTH"13" MODE"F"	1.549	0.374
SSTL15D_II STRENGTH"13" MODE"M"	1.615	0.374
SSTL15D_II STRENGTH"13" MODE"S"	1.667	0.374
HSTL15_I STRENGTH"8" MODE"F"	1.558	0.525
HSTL15_I STRENGTH"8" MODE"M"	1.642	0.525
HSTL15_I STRENGTH"8" MODE"S"	1.705	0.525
HSTL15_II STRENGTH"16" MODE"F"	1.514	0.525
HSTL15_II STRENGTH"16" MODE"M"	1.580	0.525
HSTL15_II STRENGTH"16" MODE"S"	1.629	0.525
HSTL15D_I STRENGTH"8" MODE"F"	1.558	0.374
HSTL15D_I STRENGTH"8" MODE"M"	1.642	0.374
HSTL15D_I STRENGTH"8" MODE"S"	1.705	0.374
HSTL15D_II STRENGTH"16" MODE"F"	1.514	0.374
HSTL15D_II STRENGTH"16" MODE"M"	1.580	0.374
HSTL15D_II	1.629	0.374

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
STRENGTH"16" MODE"S"		
SSTL135_I STRENGTH"8.9" MODE"F"	1.556	0.495
SSTL135_I STRENGTH"8.9" MODE"M"	1.636	0.495
SSTL135_I STRENGTH"8.9" MODE"S"	1.697	0.495
SSTL135_II STRENGTH"13" MODE"F"	1.519	0.495
SSTL135_II STRENGTH"13" MODE"M"	1.599	0.495
SSTL135_II STRENGTH"13" MODE"S"	1.660	0.495
SSTL135D_I STRENGTH"8.9" MODE"F"	1.556	0.374
SSTL135D_I STRENGTH"8.9" MODE"M"	1.636	0.374
SSTL135D_I STRENGTH"8.9" MODE"S"	1.697	0.374
SSTL135D_II STRENGTH"13" MODE"F"	1.519	0.374
SSTL135D_II STRENGTH"13" MODE"M"	1.599	0.374
SSTL135D_II STRENGTH"13" MODE"S"	1.660	0.374
SSTL12 STRENGTH"14.25" MODE"F"	1.540	0.477
SSTL12 STRENGTH"14.25" MODE"M"	1.598	0.477
SSTL12 STRENGTH"14.25" MODE"S"	1.651	0.477
SSTL12D STRENGTH"14.25" MODE"F"	1.540	0.374
SSTL12D STRENGTH"14.25" MODE"M"	1.598	0.374
SSTL12D STRENGTH"14.25" MODE"S"	1.651	0.374

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
HSUL12 STRENGTH"0.1" MODE"F"	1.615	0.477
HSUL12 STRENGTH"0.1" MODE"M"	1.694	0.477
HSUL12 STRENGTH"0.1" MODE"S"	1.754	0.477
HSUL12D STRENGTH"0.1" MODE"F"	1.615	0.374
HSUL12D STRENGTH"0.1" MODE"M"	1.694	0.374
HSUL12D STRENGTH"0.1" MODE"S"	1.754	0.374
POD12 MODE"F"	1.562	0.477
POD12 MODE"M"	1.632	0.477
POD12 MODE"S"	1.697	0.477
POD12D MODE"F"	1.562	0.374
POD12D MODE"M"	1.632	0.374
POD12D MODE"S"	1.697	0.374
HSTL12_I STRENGTH"6.3" MODE"F"	1.535	0.477
HSTL12_I STRENGTH"6.3" MODE"M"	1.609	0.477
HSTL12_I STRENGTH"6.3" MODE"S"	1.670	0.477
HSTL12D_I STRENGTH"6.3" MODE"F"	1.46	0.374
HSTL12D_I STRENGTH"6.3" MODE"M"	1.51	0.374
HSTL12D_I STRENGTH"6.3" MODE"S"	1.56	0.374
LVDS_18	1.061	0.376
LVCAL_15, MODE"F"	1.600	0.359
LVCAL_15, MODE"M"	1.734	0.359
LVCAL_15, MODE"S"	1.850	0.359
LVCAL_18, MODE"F"	1.605	0.318
LVCAL_18, MODE"M"	1.747	0.318
LVCAL_18, MODE"S"	1.869	0.318
HSLVCAL_15, MODE"F"	1.585	0.525

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
HSLVCAL 15, MODE"M"	1.669	0.525
HSLVCAL 15, MODE"S"	1.734	0.525
HSLVCAL 18, MODE"F"	1.589	0.576
HSLVCAL 18, MODE"M"	1.678	0.576
HSLVCAL 18, MODE"S"	1.747	0.576
SSTL18_I_CAL STRENGTH"8" MODE"F"	1.563	0.576
SSTL18_I_CAL STRENGTH"8" MODE"M"	1.650	0.576
SSTL18_I_CAL STRENGTH"8" MODE"S"	1.717	0.576
SSTL18_II_CAL STRENGTH"13.4" MODE"F"	1.515	0.576
SSTL18_II_CAL STRENGTH"13.4" MODE"M"	1.585	0.576
SSTL18_II_CAL STRENGTH"13.4" MODE"S"	1.635	0.576
SSTL18D_I_CAL STRENGTH"8" MODE"F"	1.563	0.376
SSTL18D_I_CAL STRENGTH"8" MODE"M"	1.650	0.376
SSTL18D_I_CAL STRENGTH"8" MODE"S"	1.717	0.376
SSTL18D_II_CAL STRENGTH"13.4" MODE"F"	1.515	0.376
SSTL18D_II_CAL STRENGTH"13.4" MODE"M"	1.585	0.376
SSTL18D_II_CAL STRENGTH"13.4" MODE"S"	1.635	0.376
HSTL18_I_CAL STRENGTH"8" MODE"F"	1.589	0.576
HSTL18_I_CAL STRENGTH"8" MODE"M"	1.678	0.576
HSTL18_I_CAL STRENGTH"8" MODE"S"	1.747	0.576
HSTL18_II_CAL STRENGTH"16" MODE"F"	1.515	0.576
HSTL18_II_CAL STRENGTH"16" MODE"M"	1.585	0.576

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
HSTL18_II_CAL STRENGTH"16" MODE"S"	1.635	0.576
HSTL18D_I_CAL STRENGTH"8" MODE"F"	1.589	0.376
HSTL18D_I_CAL STRENGTH"8" MODE"M"	1.678	0.376
HSTL18D_I_CAL STRENGTH"8" MODE"S"	1.747	0.376
HSTL18D_II_CAL STRENGTH"16" MODE"F"	1.515	0.376
HSTL18D_II_CAL STRENGTH"16" MODE"M"	1.585	0.376
HSTL18D_II_CAL STRENGTH"16" MODE"S"	1.635	0.376
SSTL15_I_CAL STRENGTH"8.9" MODE"F"	1.585	0.525
SSTL15_I_CAL STRENGTH"8.9" MODE"M"	1.669	0.525
SSTL15_I_CAL STRENGTH"8.9" MODE"S"	1.734	0.525
SSTL15_II_CAL STRENGTH"13" MODE"F"	1.549	0.525
SSTL15_II_CAL STRENGTH"13" MODE"M"	1.615	0.525
SSTL15_II_CAL STRENGTH"13" MODE"S"	1.667	0.525
SSTL15D_I_CAL STRENGTH"8.9" MODE"F"	1.585	0.374
SSTL15D_I_CAL STRENGTH"8.9" MODE"M"	1.669	0.374
SSTL15D_I_CAL STRENGTH"8.9" MODE"S"	1.734	0.374
SSTL15D_II_CAL STRENGTH"13" MODE"F"	1.549	0.374
SSTL15D_II_CAL STRENGTH"13" MODE"M"	1.615	0.374
SSTL15D_II_CAL STRENGTH"13"	1.667	0.374

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
MODE"S"		
HSTL15_I_CAL STRENGTH"8" MODE"F"	1.558	0.525
HSTL15_I_CAL STRENGTH"8" MODE"M"	1.642	0.525
HSTL15_I_CAL STRENGTH"8" MODE"S"	1.705	0.525
HSTL15_II_CAL STRENGTH"16" MODE"F"	1.514	0.525
HSTL15_II_CAL STRENGTH"16" MODE"M"	1.580	0.525
HSTL15_II_CAL STRENGTH"16" MODE"S"	1.629	0.525
HSTL15D_I_CAL STRENGTH"8" MODE"F"	1.558	0.374
HSTL15D_I_CAL STRENGTH"8" MODE"M"	1.642	0.374
HSTL15D_I_CAL STRENGTH"8" MODE"S"	1.705	0.374
HSTL15D_II_CAL STRENGTH"16" MODE"F"	1.514	0.374
HSTL15D_II_CAL STRENGTH"16" MODE"M"	1.580	0.374
HSTL15D_II_CAL STRENGTH"16" MODE"S"	1.629	0.374
SSTL135_I_CAL STRENGTH"8.9" MODE"F"	1.556	0.495
SSTL135_I_CAL STRENGTH"8.9" MODE"M"	1.636	0.495
SSTL135_I_CAL STRENGTH"8.9" MODE"S"	1.697	0.495
SSTL135_II_CAL STRENGTH"13" MODE"F"	1.519	0.495
SSTL135_II_CAL STRENGTH"13" MODE"M"	1.599	0.495
SSTL135_II_CAL STRENGTH"13" MODE"S"	1.660	0.495
SSTL135D_I_CAL	1.556	0.374

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
STRENGTH"8.9" MODE"F"		
SSTL135D_I_CAL STRENGTH"8.9" MODE"M"	1.636	0.374
SSTL135D_I_CAL STRENGTH"8.9" MODE"S"	1.697	0.374
SSTL135D_II_CAL STRENGTH"13" MODE"F"	1.519	0.374
SSTL135D_II_CAL STRENGTH"13" MODE"M"	1.599	0.374
SSTL135D_II_CAL STRENGTH"13" MODE"S"	1.660	0.374
SSTL12_CAL STRENGTH"14.25" MODE"F"	1.540	0.477
SSTL12_CAL STRENGTH"14.25" MODE"M"	1.598	0.477
SSTL12_CAL STRENGTH"14.25" MODE"S"	1.651	0.477
SSTL12D_CAL STRENGTH"14.25" MODE"F"	1.540	0.374
SSTL12D_CAL STRENGTH"14.25" MODE"M"	1.598	0.374
SSTL12D_CAL STRENGTH"14.25" MODE"S"	1.651	0.374
HSUL12_CAL STRENGTH"0.1" MODE"F"	1.615	0.477
HSUL12_CAL STRENGTH"0.1" MODE"M"	1.694	0.477
HSUL12_CAL STRENGTH"0.1" MODE"S"	1.754	0.477
HSUL12D_CAL STRENGTH"0.1" MODE"F"	1.615	0.374
HSUL12D_CAL STRENGTH"0.1" MODE"M"	1.694	0.374
HSUL12D_CAL STRENGTH"0.1" MODE"S"	1.754	0.374
POD12_CAL MODE"F"	1.562	0.479
POD12_CAL	1.632	0.479

I/O 标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
MODE"M"		
POD12_CAL MODE"S"	1.697	0.479
POD12D_CAL MODE"F"	1.562	0.374
POD12D_CAL MODE"M"	1.632	0.374
POD12D_CAL MODE"S"	1.697	0.374
HSTL12_I_CAL, STRENGTH"6.3" MODE"F"	1.46	0.56
HSTL12_I_CAL, STRENGTH"6.3" MODE"M"	1.51	0.56
HSTL12_I_CAL, STRENGTH"6.3" MODE"S"	1.56	0.56
HSTL12D_I_CAL, STRENGTH"6.3" MODE"F"	1.46	0.374
HSTL12D_I_CAL, STRENGTH"6.3" MODE"M"	1.51	0.374
HSTL12D_I_CAL, STRENGTH"6.3" MODE"S"	1.56	0.374

注：具体使用场景的时序参数以软件时序报告为准

5. 典型工作条件下的性能参数（Fabric Performance）

本章列举实现Titan2系列FPGA常见应用的performance特性。

5.1. LVDS性能参数（LVDS Performance）

表 5-1 HR I/O LVDS最高性能

描述	最大速率	单位	IO 资源
	-6		
SDR LVDS Transmitter	500	Mbps	OSERDES(DATA_WIDTH=4 TO 8)
DDR LVDS Transmitter	1000	Mbps	OSERDES(DATA_WIDTH=4 TO 8)
SDR LVDS Receiver	500	Mbps	ISERDES(DATA_WIDTH=4 TO 8)
DDR LVDS Receiver	1000	Mbps	ISERDES(DATA_WIDTH=4 TO 8)

表 5-2 HP I/O LVDS最高性能

描述	最大速率	单位	IO 资源
	-6		
SDR LVDS Transmitter	700	Mbps	OSERDES(DATA_WIDTH=4 TO 8)

DDR LVDS Transmitter	1400	Mbps	OSERDES(DATA_WIDTH =4 TO 8)
SDR LVDS Receiver	700	Mbps	ISERDES(DATA_WIDTH =4 TO 8)
DDR LVDS Receiver	1400	Mbps	ISERDES(DATA_WIDTH =4 TO 8)

5.2. 存储接口性能参数 (Memory Interface Performance)

表 5-3 HPI/O存储接口最高性能

名称	最大速率	单位
	-6	
DDR4	1866	Mbps
DDR3	TBD	Mbps
DDR3L	TBD	Mbps
DDR2	TBD	Mbps
QDRII+	TBD	MHz
RLDRAM3	TBD	MHz
RLDRAM	TBD	MHz

表 5-4 HRI/O存储接口最高性能

名称	最大速率	单位
	-6	
DDR3	TBD	Mbps
DDR3L	TBD	Mbps
DDR2	TBD	Mbps
LPDDR	TBD	Mbps
QDRII+	TBD	MHz
RLDRAM2	TBD	MHz

5.3. 专用RAM模块DRM (Dedicated RAM Module) 性能参数

表 5-5 DRM最高性能

模式	最大频率 (MHz)
	-6
DRM(NW 模式&读寄存器使能) @ 18K 存储器模式	500
DRM(TW 模式&读寄存器使能) @ 18K 存储器模式	500
DRM(RBW 模式&读寄存器使能) @ 18K 存储器模式	430
DRM(同步 FIFO 模式&读寄存器使能)	500
DRM(ECC 模式)	380

5.4. 算术模块APM (Arithmetic Process Module) 性能参数

表 5-6 APM最高性能

条件	最大频率 (MHz)
	-6
All registers used (使用APM每一级的寄存器)	460
Only use INREG and PREG (只使用APM的输入输出寄存器)	190

6. 模数转换器 (ADC) 特性

本章主要介绍Titan2系列FPGA的ADC硬核的特性参数，如下表所示。

表 6-1 ADC硬核特性

参数	最小值	典型值	最大值	单位	描述/条件	
VCCADC = 1.8V ± 5%, VREFADC_P= 1.255V, VREFADC_N= 0V, ADC_CLK_OUT = 26 MHz, Tj: -40°C ~125°C, 专用通道; Typical values at Tj=+40°C V _{inp-p} =-0.45dB Full Scale;						
VCCADC	1.71	1.8	1.89	V	模拟供电电压	
Resolution	12	--	--	Bits	分辨率	
Sample Rate	--	--	1	MSPS	采样率	
Channel	--	--	12		通道	
Voltage Reference	1.205	1.255	1.305	V	外部参考电压	
	1.230	1.255	1.280	V	内部参考电压	Ground VREFADC_P pin to AGND, -40°C ≤ Tj ≤ 125°C
Offset Error	--	--	±4	LSB	Bipolar	-40°C ≤ Tj < 125°C
	--	--	±12	LSB	Unipolar	-40°C ≤ Tj ≤ 125°C
Gain Error	--	±1	--	%FS	Gain error calibration后增益误差	
DNL	--	--	-1 < DNL < 5	LSB	Differential Nonlinear; Nomissing codes	
INL	--	--	±4	LSB	Integral Nonlinear	-40°C ≤ Tj ≤ 125°C
SNR_1		58	--	dB	Signal to Noise Ratio	F _{SAMPLE} = 500KS/s, F _{IN} = 20 kHz 专用通道
SNR_2		58		dB	Signal to Noise Ratio	F _{SAMPLE} = 500KS/s, F _{IN} = 20 kHz 辅助通道
THD_1	--	64		dB	2 nd to 7 th total harmonic distortion	F _{SAMPLE} = 500KS/s, F _{IN} = 20 kHz 专用通道
THD_2	--	62		dB	2 nd to 7 th total harmonic distortion	F _{SAMPLE} = 500KS/s, F _{IN} = 20 kHz 辅助通道
Temperature Sensor Accuracy	--	--	±4	°C	温度检测精度	-40°C ≤ Tj ≤ 100°C
	--	--	±6	°C		100°C < Tj ≤ 125°C

注：1. 上表Typical数据为常温下，不同偏压测试结果；
2. ADC采样辅助IO通道，辅助IO需约束在1.8V电源域下；

7. 高速串行收发器 (HSSTHP) 特性

本章主要介绍Titan2系列FPGA的HSSTHP硬核的特性，主要包括绝对极限额定电压/电流、

推荐工作条件、交流/直流特性以及支持典型协议工作模式下的特性。

7.1. HSSTHP硬核绝对极限电压，电流额定值

表 7-1 HSSTHP绝对极限电压、电流额定值

名称	最小值	最大值	单位	说明
HSSTAVCC	-0.5	1.1	V	HSST模拟电源1.0V电压
HSSTAVCCPLL	-0.5	1.32	V	HSST PLL模拟电源1.2V电压
HSSTVCCA	-0.5	1.935	V	HSST的HPLL辅助模拟电源供电电压

注：超过上述极限额定值可能导致器件永久性损坏。

7.2. HSSTHP硬核推荐工作条件

下表列出Titan2系列FPGA的HSSTHP硬核推荐工作电压。

表 7-2 HSSTHP硬核推荐工作条件

名称	最小值	典型值	最大值	单位	说明
电压值					
HSSTAVCC ⁽¹⁾	0.97	1.0	1.03	V	HSST发射和接收电路的模拟电源电压 (HSSTHP HPLL VCO频率小于等于 10.3125Ghz)
	1.02	1.05	1.08	V	HSST发射和接收电路的模拟电源电压 (HSSTHP的HPLL VCO频率大于 10.3125Ghz)
HSSTAVCCPLL	1.17	1.2	1.23	V	HSST PLL模拟电源1.2V电压
HSSTVCCA	1.75	1.8	1.85	V	HSST的HPLL辅助模拟电源供电电压

7.3. HSSTHP硬核直流特性参数

表 7-3 HSSTHP硬核直流特性

名称	最小	典型	最大	单位	条件	说明
输入和输出信号直流特性						
HSST_V _{DINPP}	180	-	1000	mV	外部交流耦合	差分输入峰峰电压
HSST_V _{DOUTPP}	900	-	-	mV	摆幅设置最大	差分输出峰峰电压
HSST_V _{OUTCMDC}	HSSTAVCC-HSST_V _{DOUTPP} /4			mV	直流共模输出电压，是发送端悬空的情况	
HSST_V _{OUTCMAC}	1/2 HSSTAVCC			mV	共模输出电压值：外部交流耦合	
HSST_R _{DIN}	-	100	-	Ω	差分输入阻值	
HSST_R _{DOUT}	-	100	-	Ω	差分输出阻值	
HSST_TX _{SKREW}	-	-	14	ps	Tx输出的P端和N端skew	
HSST_C _{DEXT}	-	100	-	nF	推荐外部交流耦合电容值	
参考时钟输入直流特性						
HSST_V _{RCLKPP}	400	-	2000	mV	差分输入峰峰电压	
HSST_R _{RCLK}	150	220	400	Ω	差分输入阻值	
HSST_C _{RCLKEXT}	-	100	-	nF	推荐外部交流耦合电容值	

7.4. 高速串行收发器HSSTHP的交流特性

HSSTHP硬核的交流特性如表7-4至表7-9所示。

表 7-4 HSST硬核性能参数

名称	数值			单位	说明
	-5	-6	-7		
HSST_Fmax	TBD	12.5	TBD	Gbps	HSST最大的数据速率
HSST_Fmin	TBD	0.6	TBD	Gbps	HSST最小的数据速率
HSST_Fhpllmax	TBD	8	TBD	GHz	HSST HPLL的最大频率
HSST_Fhpllmin	TBD	4.5	TBD	GHz	HSST HPLL的最小频率
HSST_Flpllmax	TBD	6.6	TBD	GHz	HSST LPLL的最大频率
HSST_Flpllmin	TBD	1.6	TBD	GHz	HSST LPLL的最小频率

HSSTHP参考时钟开关特性如下表所示。

表 7-5 HSSTHP硬核参考时钟开关特性

名称	数值			单位	条件	说明
	最小	典型值	最大			
HSST_FREFCLK	60	-	800	MHz	参考时钟频率范围	
HSST_TRCLK	-	225	-	ps	20%-80%	参考时钟上升时间
HSST_TFCLK	-	225	-	ps	80%-20%	参考时钟下降时间
HSST_TRATIO	45	50	55	%	PLL	参考时钟占空比

表 7-6 HSSTHP硬核PLL/Lock锁定时间特性

名称	数值			单位	条件	说明
	最小	典型值	最大			
HSST_TPLLLOCK	-	-	2.5	ms		PLL 锁定时间,从复位释放到锁定的时间
HSST_TCDRLOCK	-	60,000	2,500,000	UI ¹	PLL 锁到参考时钟后,到切换到有外部输入数据后, CDR 锁定的时间	CDR锁定时间

注：1.UI: Unit Interval 单位时间间隔

HSST硬核用户时钟开关特性如下表所

表 7-7 HSSTHP硬核用户时钟开关特性

名称	频率		单位	说明
数据接口时钟开关特性				
HSST_FT2C	412.5		MHz	P_CLK2CORE_TX的最大频率
HSST_FR2C	412.5		MHz	P_CLK2CORE_RX的最大频率
HSST_FTFC	412.5		MHz	P_TX_CLK_FR_CORE的最大频率

HSST_F _{RFC}	412.5	MHz	P_RX_CLK_FR_CORE的最大频率
APB 动态配置接口时钟开关特性			
HSST_F _{APB}	100	MHz	APB CLK 最大频率

HSST硬核Transmitter发送侧开关特性如下表所示。

表 7-8 HSSTHP硬核Transmitter发送侧开关特性

名称	最小	典型	最大	单位	条件	说明
HSST_T _{TXR}	-	40	-	ps	20%-80%	TX 上升时间
HSST_T _{TXF}	-	40	-	ps	80%-20%	TX 下降时间
HSST_T _{CHSKEW} ⁽¹⁾	-	-	500	ps	-	TX 通道间 skew
HSST_V _{TXIDLEAMP}	-	-	25	mV	-	Electrical idle 幅值
HSST_V _{TXIDLETIME}	-	-	250	ns	-	Electrical idle 过渡时间
HSST_TJ _{0.6G(LPLL)} ⁽²⁾	-	-	0.10	UI	0.6Gbps	Total Jitter
HSST_DJ _{0.6G(LPLL)} ⁽²⁾	-	-	0.03	UI		Deterministic Jitter
HSST_TJ _{1.25G(HPLL)} ⁽³⁾	-	-	0.15	UI	1.25Gbps	Total Jitter
HSST_DJ _{1.25G(HPLL)} ⁽³⁾	-	-	0.06	UI		Deterministic Jitter
HSST_TJ _{2.5G(HPLL)} ⁽³⁾	-	-	0.20	UI	2.5Gbps	Total Jitter
HSST_DJ _{2.5G(HPLL)} ⁽³⁾	-	-	0.08	UI		Deterministic Jitter
HSST_TJ _{3.125G(HPLL)} ⁽³⁾	-	-	0.32	UI	3.125Gbps	Total Jitter
HSST_DJ _{3.125G(HPLL)} ⁽³⁾	-	-	0.16	UI		Deterministic Jitter
HSST_TJ _{5.0G(HPLL)} ⁽³⁾	-	-	0.3	UI	5.0Gbps	Total Jitter
HSST_DJ _{5.0G(HPLL)} ⁽³⁾	-	-	0.15	UI		Deterministic Jitter
HSST_TJ _{8G(HPLL)} ⁽³⁾	-	-	0.32	UI	8Gbps	Total Jitter
HSST_DJ _{8G(HPLL)} ⁽³⁾	-	-	0.17	UI		Deterministic Jitter
HSST_TJ _{10.3125G(HPLL)} ⁽³⁾	-	-	0.28	UI	10.3125Gbps	Total Jitter
HSST_DJ _{10.3125G(HPLL)} ⁽³⁾	-	-	0.17	UI		Deterministic Jitter
HSST_TJ _{12.5G(HPLL)} ⁽³⁾	-	-	0.32	UI	12.5Gbps	Total Jitter
HSST_DJ _{12.5G(HPLL)} ⁽³⁾	-	-	0.17	UI		Deterministic Jitter

注：1. 通道使用同一个输入参考时钟，使能channel bonding功能；

2. 0.6Gbps测试条件为LPLL反馈分频比=16；

3. 其它码率测试条件为HPLL反馈分频比=64。

HSST硬核Receiver接收侧开关特性如下表所示。

表 7-9 HSSTHP硬核Receiver接收侧开关特性

名称	最小	典型	最大	单位	说明
HSST_RXTRACK	-5000	-	5000	ppm	接收端扩频跟随，调制频率33kHz
HSST_RXLENGTH	-	-	512	UI	支持RX连续长0或长1的长度
HSST_RXTOLERANCE	-1000	-	1000	ppm	数据/参考时钟的频偏容限
正弦抖动容限					
HSST_SJ _{2.5} (LPLL)	0.45	-	-	UI	正弦抖动 ⁽¹⁾ ，2.5Gbps
HSST_SJ _{3.2} (LPLL)	0.45	-	-	UI	正弦抖动 ⁽¹⁾ ，3.2Gbps
HSST_SJ _{3.75} (LPLL)	0.44	-	-	UI	正弦抖动 ⁽¹⁾ ，3.75Gbps
HSST_SJ _{4.25} (LPLL)	0.44	-	-	UI	正弦抖动 ⁽¹⁾ ，4.25Gbps
HSST_SJ _{5.0} (LPLL)	0.35	-	-	UI	正弦抖动 ⁽¹⁾ ，5.0Gbps
HSST_SJ _{6.6} (LPLL)	0.44	-	-	UI	正弦抖动 ⁽¹⁾ ，6.6Gbps
HSST_SJ _{6.6} (HPLL)	0.35	-	-	UI	正弦抖动 ⁽¹⁾ ，6.6Gbps
HSST_SJ _{8.0} (HPLL)	0.44	-	-	UI	正弦抖动 ⁽¹⁾ ，8.0Gbps
HSST_SJ _{9.8} (HPLL)	0.3	-	-	UI	正弦抖动 ⁽¹⁾ ，9.8Gbps
HSST_SJ _{9.98} (HPLL)	0.3	-	-	UI	正弦抖动 ⁽¹⁾ ，9.98Gbps
HSST_SJ _{10.3125} (HPLL)	0.3	-	-	UI	正弦抖动 ⁽¹⁾ ，10.3125Gbps
HSST_SJ _{11.18} (HPLL)	0.3	-	-	UI	正弦抖动 ⁽¹⁾ ，11.18Gbps
HSST_SJ _{12.5} (HPLL)	0.3	-	-	UI	正弦抖动 ⁽¹⁾ ，12.5Gbps

注：注入的正弦抖动的频率为80MHz，测试码型为PRBS31

8. PCIe硬核特性

表 8-1 PCIe性能参数

名称	数值	单位	说明
Fpclk	250	MHz	PCIe 内核最大时钟频率
Fpclk_div2	125	MHz	和 HSST 接口的最大时钟频率
Fuserclk	125	MHz	用户接口最大时钟频率

9. 联系我们

公司名称：深圳市紫光同创电子有限公司

官网Web Site：：<http://www.pangomicro.com>

公司地址：深圳市南山区高新技术产业园高新南一道15号

电话Tel：86-755-66886188

传真Fax：86-755-86363368

邮编Zip：518057

电子邮件Email：market@pangomicro.com

免责声明

版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

免责声明

1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。